

ARCHITETTURE AVANZATE DEI CALCOLATORI - Prima prova in itinere del 5/11/2005
Compito tipo B

1. Con riferimento alla pipeline a 5 stadi del processore MIPS, indicare quali tra le seguenti affermazioni sono corrette.
 - A) L'introduzione della pipeline fa diminuire drasticamente il tempo di esecuzione di un'istruzione.
 - B) L'anticipazione della decisione sul salto al secondo stadio determina lo spostamento dell'addizionatore dallo stadio EX allo stadio ID.
 - C) L'inserimento di uno stallo avviene non aggiornando il valore del PC, mantenendo il contenuto del registro di pipeline IF/ID e mettendo a 0 i valori dei segnali di controllo RegWrite e MemWrite nel registro di pipeline ID/EX.
 - D) Le condizioni per riconoscere le criticità sui dati nel processore MIPS con pipeline considerate a lezione permettono di identificare e risolvere tramite forwarding la seguente criticità:

```
addi $2, $2, 1
bne $2, $4, Loop
```
 - E) In condizioni ideali (assenza di stalli), se la frequenza del clock è pari ad 1 GHz, si completa a regime un'istruzione ogni 1 ns.
 - F) Nel registro di pipeline IF/ID non viene scritto nessun segnale di controllo generato dall'unità di controllo.

2. Con riferimento alle criticità sui dati e sul controllo, indicare quali tra le seguenti affermazioni sono corrette.
 - A) Considerando che un branch durante l'esecuzione di un programma ha il comportamento TNNTN ed avendo a disposizione una BHT a 2 bit inizializzata a 10 (weakly predict taken), l'accuratezza della predizione è pari al 20%.
 - B) Si consideri la pipeline senza ottimizzazioni del processore MIPS. Data la sequenza di istruzioni

```
addi $2, $2, 4
bne $2, $4, Loop
addi $4, $4, 4
```

per risolvere le due criticità (di dati e di controllo) presenti è necessario inserire in totale sei stalli.
 - C) Una predizione dinamica di salto non viene migliorata in accuratezza aumentando il numero di bit di predizione.
 - D) Se possibile, conviene selezionare come istruzione da porre nel delay slot l'istruzione di destinazione del branch.
 - E) Si consideri la pipeline ottimizzata del processore MIPS. Data la sequenza di istruzioni

```
lw $3, 0($2)
add $3, $3, $3
addi $3, $3, 100
```

le due criticità sui dati presenti (di tipo load/use e define/use) sono risolvibili inserendo uno stallo tra la prima e la seconda istruzione e uno stallo tra la seconda e la terza istruzione.
 - F) In una branch history table ad 1 bit un errore di predizione può essere causato dal fatto che il bit di predizione è stato scritto da un'altra istruzione di branch che indicizza la stessa riga della tabella.

3. Con riferimento alle gerarchie di memoria ed alle cache a mappatura diretta, indicare quali tra le seguenti affermazioni sono corrette.
 - A) In una cache a mappatura diretta si hanno solo compulsory miss.
 - B) La lunghezza del campo tag di una cache a mappatura diretta dipende dalla dimensione della cache.
 - C) In una cache a mappatura diretta con 32K righe e blocchi da 64 bit, installata in un'architettura con indirizzi di memoria a 32 bit, gli 11 bit più significativi dell'indirizzo di memoria vengono usati per indirizzare una riga di cache.
 - D) In una cache a mappatura diretta il contenuto di un blocco di memoria principale con un dato indirizzo può essere caricato in una sola riga della cache.
 - E) I dati vengono caricati a blocchi dalla memoria in cache per sfruttare il principio di località temporale dell'accesso ai dati in memoria.
 - F) Dato un calcolatore con frequenza di clock pari a 1 GHz, caratterizzato da hit rate=0.9, hit time=1 ciclo di clock e miss penalty=30 cicli di clock, il tempo medio di accesso alla memoria è pari a 4 ns.

4. Con riferimento alle tecniche per aumentare il grado di parallelismo delle istruzioni, indicare quali tra le seguenti affermazioni sono corrette.
 - A) Con lo scoreboard le dipendenze di tipo WAR e WAW sono risolte mediante l'inserimento di stalli.
 - B) Nell'esecuzione speculativa vengono avviate istruzioni prima ancora di sapere se andranno effettivamente eseguite.
 - C) I processori più recenti tendono ad usare un modello di consistenza forte sia per la memoria sia per il processore.
 - D) Se esiste un vincolo di tipo WAR tra un'istruzione I e l'istruzione seguente J, è possibile eseguire J prima di I ma senza ritirla.

- E) Nei processori VLIW è il compilatore ad identificare istruzioni mutuamente indipendenti che possono essere eseguite in parallelo dall'hardware.
- F) Non è possibile introdurre più pipeline in un processore.

5. Si consideri il seguente frammento di codice in linguaggio C, dove A, B e C sono tre vettori di interi :

```
for (i=1000; i>0; i--)
    C[i] = A[i] - B[i];
```

Il sorgente sia stato compilato nel seguente codice in assembler MIPS. Si assuma che i registri \$s0, \$s1 e \$s2 siano stati inizializzati rispettivamente con l'indirizzo di A[1000], B[1000] e C[1000], e che \$t0 sia inizializzato al valore 1000.

```
Loop: lw $t1, 0($s0)
      lw $t2, 0($s1)
      sub $t3, $t1, $t2
      sw $t3, 0($s2)
      addi $s0, $s0, -4
      addi $s1, $s1, -4
      addi $s2, $s2, -4
      addi $t0, $t0, -1
      bnez $t0, Loop
```

Si assuma che la criticità tra sub e sw possa essere risolta tramite forwarding (spiegare come).

- a) Schedulare in modo efficiente il ciclo sul processore MIPS con pipeline statica two-issue. Calcolare il valore del CPI ottenuto e confrontarlo con quello ideale.
 - b) Effettuare il loop unrolling (srotolando il ciclo per 2 volte) e riordinare il codice (eventualmente ridenominando i registri) con l'obiettivo di minimizzare il CPI sulla pipeline ottimizzata del processore MIPS scalare. Calcolare il valore del CPI ottenuto prima e dopo il loop unrolling ed il riordinamento.
6. Sia dato il seguente ciclo di un programma in assembler MIPS. Si supponga che i registri \$6 e \$7 siano stati inizializzati rispettivamente ai valori 0 e 4N. I simboli BASEA, BASEB, BASEC, INC1 e INC2 sono costanti a 16 bit, prefissate.

```
Loop: lw $2, BASEA($6)
      lw $3, BASEB($6)
      addi $2, $2, INC1
      addi $3, $3, INC2
      add $4, $2, $3
      sw $2, BASEA($6)
      sw $3, BASEB($6)
      sw $4, BASEC($6)
      addi $6, $6, 4
      bne $6, $7, Loop
```

Si supponga che il ciclo venga iterato N volte (con N grande a piacere) tramite una pipeline MIPS a 5 stadi. Si consideri una generica iterazione del ciclo.

- a) Si supponga che la pipeline sia priva di ottimizzazioni.
 - Disegnare il diagramma a ciclo multiplo della pipeline ed individuare le criticità sui dati di tipo RAW e le criticità sul controllo.
 - Inserire gli stalli necessari a risolvere le criticità individuate.
 - Calcolare il numero totale di stalli inseriti ed il CPI asintotico ottenuto.
- b) Si supponga che nella pipeline siano state introdotte le seguenti ottimizzazioni:
 - nel banco dei registri è possibile la lettura e la scrittura nello stesso ciclo di clock;
 - forwarding dei dati (se necessario, è possibile introdurre ulteriori percorsi di forwarding non considerati a lezione, motivandoli opportunamente);
 - anticipazione del salto nello stadio ID.
 - Disegnare il diagramma a ciclo multiplo della pipeline ed individuare le criticità sui dati di tipo RAW e le criticità sul controllo rimaste; indicare i percorsi di forwarding utilizzati.
 - Inserire gli stalli necessari a risolvere le criticità rimaste.
 - Calcolare il numero totale di stalli inseriti ed il CPI asintotico ottenuto.

Esercizio	Punteggio massimo
Teoria (da es. 1 a es. 4)	14
Esercizio 5	9
Esercizio 6	9
Totale	32