

ARCHITETTURE AVANZATE DEI CALCOLATORI A.A. 2006/07
Appello del 6/12/2006
Compito A

Domanda 1

Spiegare l'influenza sull'hit rate e sull'hit time dei diversi schemi di organizzazione della memoria cache considerati a lezione ed illustrare l'equazione per il calcolo del tempo medio di accesso in memoria in presenza di un livello di cache.

Domanda 2

Descrivere il concetto di multiprocessore con memoria condivisa e spiegare il problema della coerenza della cache nei multiprocessori.

Domanda 3

Descrivere la struttura ed il funzionamento del buffer di riordino.

Esercizio 1

Si consideri una memoria cache set-associativa a 2 vie composta da 8K insiemi, con blocchi di dimensione pari a 4 parole (parola da 32 bit), indirizzi di memoria da 32 bit ed indirizzamento al byte.

- a) Indicare la struttura di un insieme della cache, specificando la dimensione dei vari campi e la dimensione totale dell'insieme.
- b) Supponendo che il byte di indirizzo esadecimale CX4AX34F sia in cache, spiegare cosa accade se si tenta di leggere il byte di indirizzo esadecimale CX4FX35C (X indica la cifra meno significativa non nulla del proprio numero di matricola).
- c) Si consideri il seguente frammento di codice C:

```
int i, sum=0;
int vett[DIM];
for (i=0; i<100; i++) {
    for (j=0; j<DIM; j++) {
        sum = sum + i*vett[j];
    }
}
```

Considerando la sola attività sulla cache generata dall'accesso agli elementi del vettore *vett*, quale è l'hit rate che si verifica se $DIM=2^{12}$? E se $DIM=2^{16}$ quale è l'hit rate che si verifica? Se necessario, si consideri che la cache adotta la politica di sostituzione LRU.

- d) A monte della cache vi è un sistema di memoria virtuale basato su pagine da 4 KB. Il TLB corrispondente è a 4 vie ed ha una dimensione complessiva pari a 5120 B. Ogni elemento del TLB è grande 5 byte, di cui 4 bit sono per validità, riferimento, modifica e protezione. Calcolare la dimensione dell'indirizzo virtuale.

Esercizio 2

Si consideri il processore MIPS con pipeline mostrato in Figura 1 e la seguente sequenza di codice.

```
add $3, $4, $2
sub $5, $3, $1
lw $6, 100($3)
sub $7, $3, $6
```

Si individuino le criticità sui dati e si indichi il valore assunto dai segnali di controllo ForwardA, ForwardB, ALUSrc, PCWrite e IF/ID.Write per i cicli di clock (CC) da 3 a 7. Si assuma che il PC sia inizializzato alla prima istruzione della sequenza e che i cicli di clock 1 e 2 siano già stati eseguiti (ovvero l'istruzione add è nello stadio EX). Si usi il simbolo X nel caso in cui il segnale di controllo abbia valore don't care.

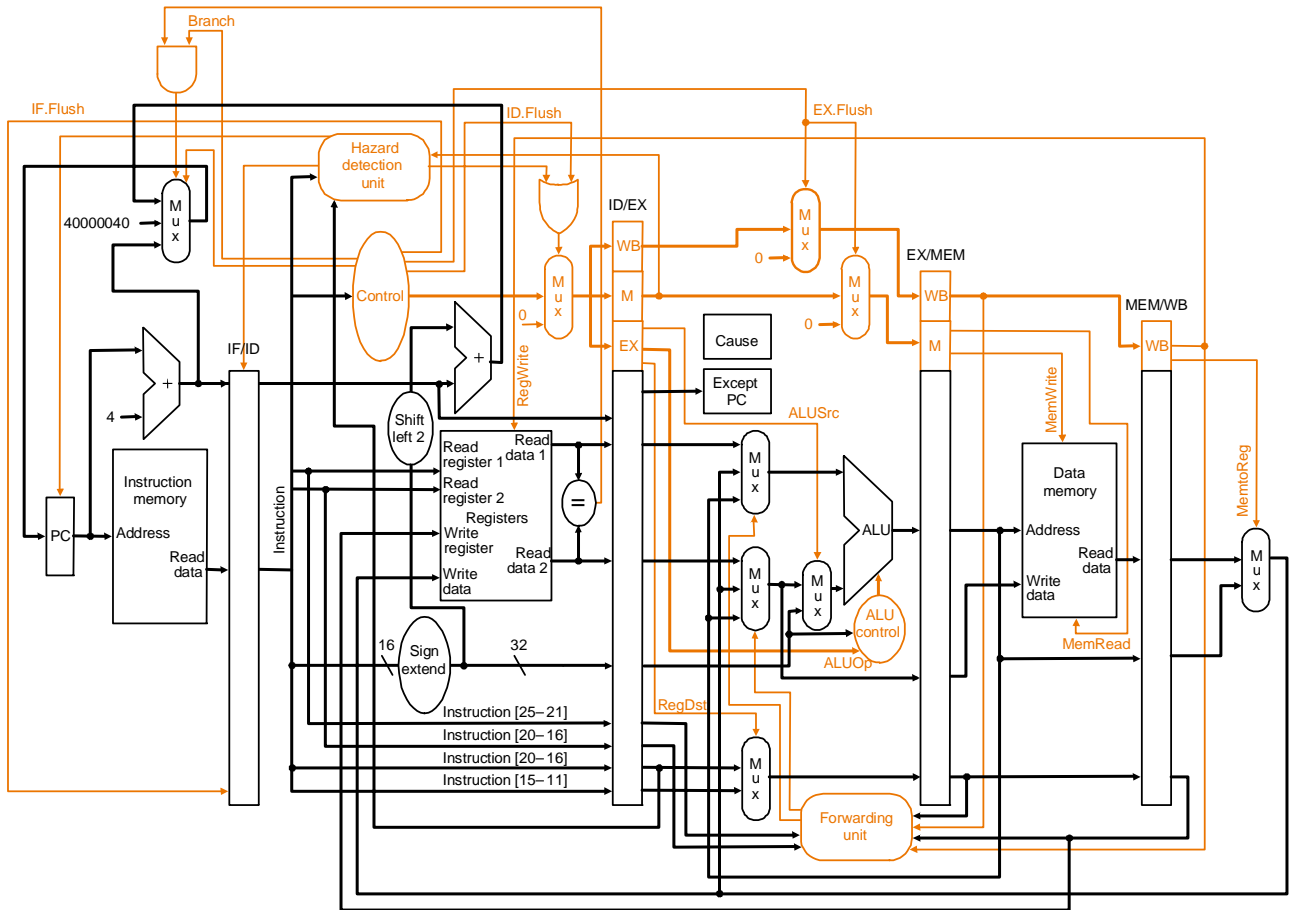


Figura 1 Unità di elaborazione e controllo del processore MIPS con pipeline

Esercizio 3

Sia dato il seguente ciclo di un programma in un linguaggio ad alto livello:

```

while (i != N) {
    if (A[i] >= B[i]) {
        A[i] = B[i];
        C[i] = K1;
    }
    else {
        B[i] = A[i];
        C[i] = K2;
    }
    i++;
}

```

Il programma sia stato compilato nel codice in assembler MIPS. Si supponga che i registri \$t5, \$t6, \$t7 e \$t8 siano stati inizializzati rispettivamente ai valori 0, 4N, K1 e K2. I simboli BASEA, BASEB e BASEC sono costanti a 16 bit, prefissate. La frequenza di clock del processore vale 500 MHz.

```

Loop: beq $t5, $t6, End
      lw $t2, BASEA($t5)
      lw $t3, BASEB($t5)
      slt $t1, $t2, $t3      # if ($t2<$t3) $t1=1; else $t1=0;
      bne $t1, $zero, L1
      sw $t3, BASEA($t5)
      sw $t7, BASEC($t5)
      j L2
L1:   sw $t2, BASEB($t5)
      sw $t8, BASEC($t5)
L2:   addi $t5, $t5, 4
      j Loop
End:

```

Si supponga che il ciclo venga iterato N volte (con N grande a piacere) tramite una pipeline MIPS a 5 stadi. Si consideri una generica iterazione del ciclo e si ipotizzi che nel 40% di casi risulti ($A[i] \geq B[i]$). Si consideri l'istruzione j come un'istruzione di branch (beq o bne) la cui condizione viene sempre valutata vera.

- a) Si supponga che la pipeline sia priva di ottimizzazioni.
- Disegnare il diagramma a ciclo multiplo della pipeline ed individuare le criticità sui dati e sul controllo.
 - Inserire gli stalli necessari a risolvere le criticità individuate.
 - Calcolare il numero totale di stalli inseriti, il CPI asintotico ed il throughput espresso in MIPS.
- b) Si supponga che nella pipeline siano state introdotte le seguenti ottimizzazioni:
- nel banco dei registri è possibile la lettura e la scrittura nello stesso ciclo di clock;
 - forwarding dei dati;
 - anticipazione del salto nello stadio ID per le istruzioni beq, bne e j.
- Disegnare il diagramma a ciclo multiplo della pipeline ed individuare le criticità sui dati e sul controllo rimaste; indicare i percorsi di forwarding utilizzati, specificando i registri di pipeline coinvolti.
 - Inserire gli stalli necessari a risolvere le criticità rimaste.
 - Calcolare il numero totale di stalli inseriti, il CPI asintotico ed il throughput espresso in MIPS.

Esercizio 4

Si supponga di avere un sistema con le seguenti caratteristiche:

- Un bus ed una memoria che supportano accessi a blocchi da 4 a 16 parole (parola da 32 bit).
 - Un bus sincrono a 64 bit, frequenza di clock pari a 250 MHz, in cui ciascun trasferimento di 64 bit richiede 1 ciclo di clock.
 - Sono necessari due cicli di clock tra un'operazione sul bus e la successiva.
 - Le prime 4 parole sono scritte in memoria 180 ns dopo che l'indirizzo ed il gruppo di parole sono disponibili all'ingresso della memoria, mentre sono necessari 40 ns per la scrittura di ogni successivo gruppo di 4 parole.
- a) Assumendo che il bus abbia linee multiplexate per dati ed indirizzi, calcolare la banda del bus per la scrittura di 512 parole per trasferimenti che usano blocchi da 8 parole.
- b) Assumendo che il bus abbia linee separate da 32 bit per dati ed indirizzi (un indirizzo ed un dato possono essere trasferiti nello stesso ciclo), calcolare la banda del bus per la scrittura di 512 parole per trasferimenti che usano blocchi da 8 parole.