

ARCHITETTURE AVANZATE DEI CALCOLATORI A.A. 2007/08
Appello del 6/12/2007
Compito A

Cognome _____ **Nome** _____

Matricola _____

Domanda 1 (5 punti)

Si descrivano le tecniche di scheduling del codice del loop unrolling e del software pipelining.

Domanda 2 (4 punti)

Considerando la predizione dinamica dei salti in un processore, spiegare cosa è un predittore correlato e cosa si intende per predittore correlato di tipo (m,n). Disegnare lo schema di un predittore correlato di tipo (2,2) e spiegarne brevemente il funzionamento.

Domanda 3 (3 punti)

Si supponga che, durante l'esecuzione di un'istruzione di load o di un fetch di una istruzione, si verifichi un cache miss. Potrebbe verificarsi un page fault come conseguenza? Quali azioni dovrebbero essere intraprese per risolvere il cache miss? Motivare la risposta.

Esercizio 1 (6 punti)

Si consideri il processore MIPS con pipeline (il cui schema è allegato) e la seguente sequenza di codice.

```
sub $4, $3, $1
add $5, $2, $4
sw $5, 100($4)
lw $6, 200($5)
sub $6, $6, $5
```

Si individuino le criticità sui dati e si indichi il valore assunto dai segnali di controllo ForwardA, ForwardB, ALUSrc, PCWrite e IF/ID.Write per i cicli di clock da 3 a 8. Si assuma che il PC sia inizializzato alla prima istruzione della sequenza e che i cicli di clock 1 e 2 siano già stati eseguiti (ovvero la prima istruzione sub è nello stadio EXE). Si usi il simbolo X nel caso in cui il segnale di controllo abbia valore don't care.

Esercizio 2 (4 punti)

Si consideri il seguente frammento di codice in linguaggio C:

```
int v[4000];
register int i;
for (i=0; i<8; i++)
    v[i+2051] = v[i];
```

Si assuma che la variabile i sia contenuta in un registro, mentre l'array v sia contenuto in memoria. Si consideri una cache dati ad indirizzamento diretto contenente 512 blocchi, ciascuno dei quali di dimensione pari a 16 B, e che opera in modalità write-back. La cache è inizialmente vuota.

- Determinare il tasso di cache miss ed il numero di write-back che avvengono durante l'esecuzione del frammento.
- I risultati ottenuti risolvendo il punto a) cambierebbero se, a parità di dimensione, l'organizzazione della cache fosse set-associativa a 2 vie? Perché?

N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO

Esercizio 3 (4 punti)

Si consideri un sistema di memoria virtuale con paginazione, con pagine da 2 KB, tabella delle pagine per ciascun processo di dimensione pari a 4 MB, indirizzo virtuale di 32 bit ed indirizzamento al byte. Ogni elemento della tabella delle pagine contiene anche 2 bit aggiuntivi (validità e uso).

- Determinare la dimensione dell'indirizzo fisico.
- La gerarchia di memoria ha una cache set-associativa a 2 vie di 128 KB (solo parte dati), con blocchi da 8 B ed indirizzata fisicamente. Mostrare la struttura e la dimensione di un insieme della cache.

N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO

Esercizio 4 (6 punti)

Sia dato il seguente ciclo di un programma in assembler MIPS. Si assuma che i registri \$t2 e \$t3 siano stati opportunamente inizializzati. I simboli BASEA, BASEB, BASEC, BASED, C1 e C2 sono costanti a 16 bit, prefissate. Il ciclo di clock del processore vale 0,5 ns.

```
Loop: beq $t2, $t3, Exit
      lw $t4, BASEA($t2)
      sw $t4, BASEB($t2)
      add $t4, $t4, $t4
      addi $t4, $t4, C1
      addi $t2, $t2, -4
      sw $t4, BASEC($t2)
      lw $t5, BASEA($t2)
      addi $t5, $t5, C2
      sub $t5, $t5, $t4
      sw $t5, BASED($t2)
      addi $t2, $t2, -4
      j Loop
```

Exit :

Si supponga che il ciclo venga iterato N volte (con N grande a piacere) tramite una pipeline MIPS a 5 stadi. Si consideri l'istruzione j come un'istruzione di branch (beq o bne) la cui condizione viene sempre valutata vera. Si consideri una generica iterazione del ciclo.

- a) Si supponga che la pipeline sia priva di ottimizzazioni.
- Nel diagramma a ciclo multiplo della pipeline individuare le criticità sui dati di tipo RAW e le criticità sul controllo ed indicare il tipo di criticità.
 - Indicare il numero di stalli necessari a risolvere le criticità individuate.
 - Calcolare il numero totale di stalli inseriti, il CPI asintotico ed il throughput asintotico espresso in MIPS.
- b) Si supponga che nella pipeline siano state introdotte le seguenti ottimizzazioni:
- nel banco dei registri è possibile la lettura e la scrittura nello stesso ciclo di clock;
 - forwarding dei dati;
 - anticipazione del salto nello stadio ID per le istruzioni beq, bne e j.
- Nel diagramma a ciclo multiplo della pipeline individuare le criticità sui dati di tipo RAW e le criticità sul controllo rimaste ed indicare il tipo di criticità; indicare i percorsi di forwarding utilizzati, specificando i registri di pipeline coinvolti.
 - Indicare il numero di stalli necessari a risolvere le criticità rimaste.
 - Calcolare il numero totale di stalli inseriti, il CPI asintotico ed il throughput asintotico espresso in MIPS.