

ARCHITETTURE AVANZATE DEI CALCOLATORI A.A. 2007/08
Appello del 19/2/2009

Cognome _____ **Nome** _____

Matricola _____

Attenzione: nella soluzione degli esercizi, motivare le risposte illustrando il procedimento.

Domanda 1 (4 punti)

Discutere le tecniche di scrittura in cache, illustrando vantaggi e svantaggi, sia nel caso di hit in scrittura sia nel caso di miss in scrittura.

Domanda 2 (4 punti)

Illustrare la struttura ed il funzionamento del Reorder Buffer, discutendo anche il caso di esecuzione speculativa.

Domanda 3 (4 punti)

Si descriva il concetto di multiprocessore con memoria condivisa e si indichino le soluzioni per ridurre i conflitti dovuti agli accessi alla memoria.

Esercizio 1 (4 punti)

Si consideri il processore MIPS con pipeline ottimizzata (il cui schema è allegato) e la seguente sequenza di codice.

```
lw $2, 20($7)
add $1, $2, $3
add $4, $5, $6
add $4, $4, $1
add $4, $4, $8
```

Si individuino le criticità sui dati e si indichi il valore assunto dai segnali di controllo ForwardA, ForwardB, ALUSrc, PCWrite e IF/ID.Write per i cicli di clock da 2 a 8. Si assuma che il PC sia inizializzato alla prima istruzione della sequenza e che il ciclo di clock 1 sia già stato eseguito (ovvero l'istruzione lw è nello stadio ID). Si usi il simbolo X nel caso in cui il segnale di controllo abbia valore don't care.

Esercizio 2 (4 punti)

Si consideri il seguente frammento di codice in linguaggio C:

```
int A[10000];
register int i, c;
for (i=0; i<500; i=i+122)
    c = c + A[i];
```

Si assuma che le variabili *i* e *c* siano contenute in due registri del processore, mentre l'array *A* sia allocato in memoria a partire dall'indirizzo di memoria 0. Si consideri una cache dati ad indirizzamento diretto contenente 8 blocchi, ciascuno dei quali di dimensione pari a 16 B, e che opera in modalità write-back. La cache è inizialmente vuota.

- Determinare il tasso di cache hit ed il numero di write-back che avvengono durante l'esecuzione del frammento di codice.
- Si indichino esplicitamente tutti gli elementi dell'array *A* che sono presenti nella cache alla fine dell'esecuzione del frammento di codice, specificando per ognuno la posizione che occupa nella cache.

Esercizio 3 (4 punti)

Si consideri un sistema di memoria virtuale con un TLB set-associativo a 4 vie, costituito da 256 insiemi, dove ciascun elemento del TLB include un tag da 12 bit.

- Determinare la dimensione in bit del numero di pagina virtuale.

Nello stesso sistema di memoria virtuale, vi è una tabella delle pagine per ciascun processo di dimensione totale pari a 3 MB (compresi anche 3 bit aggiuntivi per validità, uso e riferimento per ogni elemento della tabella delle pagine) e pagine fisiche di dimensione pari a 2 KB.

- Determinare la dimensione del numero di pagina fisica.
- Determinare la dimensione dell'indirizzo fisico.
- Determinare la dimensione di index e tag di una cache associativa a 2 vie che fa parte della stessa gerarchia di memoria e composta da 1024 blocchi da 16 B ciascuno.

Esercizio 4 (8 punti)

Sia dato il seguente ciclo di un programma in assembler MIPS. Si supponga che i registri $\$t5$ e $\$t7$ siano stati inizializzati rispettivamente ai valori 0 e $N*4$. Il simbolo BASEA è una costante a 16 bit, prefissata. Il ciclo di clock del processore vale 0,5 ns.

```
Loop: lw $t1, BASEA($t5)
      add $t1, $t1, $t5
      sw $t1, BASEA($t5)
      sub $t4, $t5, $t1
      lw $t1, BASEA($t4)
      add $t2, $t1, $t5
      sw $t2, BASEB($t5)
      addi $t5, $t5, 4
      bne $t5, $t7, Loop
```

Si supponga che il ciclo venga iterato N volte (con N grande a piacere) tramite una pipeline MIPS a 5 stadi. Si consideri una generica iterazione del ciclo.

- a) Si supponga che la pipeline sia priva di ottimizzazioni.
- Nel diagramma a ciclo multiplo della pipeline individuare le criticità sui dati di tipo RAW e le criticità sul controllo ed indicare il tipo di criticità.
 - Indicare il numero di stalli necessari a risolvere le criticità individuate.
 - Calcolare il numero totale di stalli inseriti, il CPI asintotico ed il throughput asintotico espresso in MIPS.
- b) Si supponga che nella pipeline siano state introdotte le seguenti ottimizzazioni:
- nel banco dei registri è possibile la lettura e la scrittura nello stesso ciclo di clock;
 - forwarding dei dati;
 - anticipazione del salto nello stadio ID per l'istruzione bne.
- Nel diagramma a ciclo multiplo della pipeline individuare le criticità sui dati di tipo RAW e le criticità sul controllo rimaste ed indicare il tipo di criticità; indicare i percorsi di forwarding utilizzati, specificando i registri di pipeline coinvolti.
 - Indicare il numero di stalli necessari a risolvere le criticità rimaste.
 - Calcolare il numero totale di stalli inseriti, il CPI asintotico ed il throughput asintotico espresso in MIPS.
- c) Effettuare il loop unrolling (con un fattore di srotolamento pari a 2) e riordinare il codice sul processore MIPS scalare con pipeline ottimizzata allo scopo di massimizzare le prestazioni.
- Calcolare il valore del CPI asintotico per una generica iterazione del ciclo modificato dopo aver effettuato il loop unrolling ed il riordinamento.