

ARCHITETTURE AVANZATE DEI CALCOLATORI A.A. 2006/07
Seconda prova in itinere del 27/11/2006
Compito B

Domanda 1

Descrivere le soluzioni per la gestione della scrittura nella cache, considerando sia hit sia miss in scrittura; illustrare vantaggi e svantaggi delle soluzioni descritte.

Domanda 2

Spiegare i livelli RAID 3 e RAID 5 e confrontarli in termini di spazio di memorizzazione richiesto, prestazioni e tolleranza ai guasti.

Domanda 3

Enunciare la legge di Amdhal.

Si consideri l'introduzione di un'ottimizzazione architetturale in un calcolatore che consenta di raggiungere un miglioramento di velocità di esecuzione pari a 6 volte rispetto al calcolatore originario, ma che sia utilizzabile solo il 70% del tempo. Applicando la legge di Amdhal, calcolare lo speedup globale (guadagno) che si ottiene incorporando tale miglioramento.

Esercizio 1

Si consideri una memoria cache set-associativa a 2 vie con 2K blocchi, ciascuno dei quali di dimensioni pari a 32 byte, indirizzi di memoria a 24 bit ed indirizzamento al byte.

- a) Indicare la struttura dell'indirizzo, specificando la dimensione dei vari campi in bit.
- b) Indicare la struttura di un insieme della cache, specificando la dimensione dei vari campi, e calcolare la dimensione totale della cache.
- c) Fornire un esempio di 2 indirizzi, relativi a 2 blocchi diversi, che vengono mappati sullo stesso insieme della cache. Scrivere gli indirizzi in formato esadecimale.
- d) Scrivere, in un linguaggio di programmazione di alto livello a scelta, un frammento di codice, operante su un vettore di interi, tale che l'esecuzione del frammento di codice su un sistema con una cache avente le caratteristiche sopra descritte determini un hit rate elevato.

N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO

Esercizio 2

Si consideri un sistema di memoria virtuale con spazio di indirizzamento virtuale di dimensione pari a 4 GB, spazio di indirizzamento fisico di dimensione pari a 1 GB, pagine da 2 KB ed indirizzamento al byte. Ogni elemento della tabella delle pagine contiene anche 4 bit (validità, modifica, riferimento e uso).

- a) Mostrare la struttura degli indirizzi virtuali e fisici, indicando la dimensione dei vari campi degli indirizzi.
- b) Calcolare la dimensione in byte della tabella delle pagine di ciascun processo.
- c) Il sistema di memoria virtuale ha un TLB set-associativo a 4 vie con un totale di 64 insiemi; si indichi il contenuto di un insieme del TLB e si determini la dimensione dell'insieme.
- d) Si disegni lo schema hardware per la traduzione da indirizzo virtuale ad indirizzo fisico nel sistema di memoria virtuale considerato, mostrando l'organizzazione del TLB e la struttura degli indirizzi.

N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO

Esercizio 3

Si supponga di avere un sistema con le seguenti caratteristiche:

- Un bus ed una memoria che supportano accessi a blocchi da 4 a 32 parole (parola da 32 bit).
 - Un bus sincrono a 64 bit, con linee separate da 32 bit per dati ed indirizzi, frequenza di clock pari a 100 MHz, in cui ciascun trasferimento di 64 bit richiede 1 ciclo di clock (un indirizzo ed un dato possono essere trasferiti nello stesso ciclo).
 - Sono necessari due cicli di clock tra un'operazione sul bus e la successiva.
 - Le prime 4 parole sono lette 300 ns dopo che l'indirizzo è disponibile all'ingresso della memoria, mentre sono necessari 50 ns per la lettura di ogni successivo gruppo di 4 parole.
 - Le prime 4 parole sono scritte in memoria 300 ns dopo che l'indirizzo ed il gruppo di parole sono disponibili all'ingresso della memoria, mentre sono necessari 50 ns per la scrittura di ogni successivo gruppo di 4 parole.
- a) Calcolare la banda del bus per una lettura di 128 parole per trasferimenti che usano blocchi da 4 parole e per trasferimenti che usano blocchi da 16 parole. Conviene scegliere un blocco da 16 anziché da 4 e perché?
 - b) Calcolare la banda del bus per una scrittura di 128 parole per trasferimenti che usano blocchi da 4 parole (il trasferimento sul bus di un gruppo di 4 parole e dell'indirizzo fanno parte della stessa operazione; pertanto, non occorre inserire due cicli idle tra questi due trasferimenti).

N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO