

ARCHITETTURE AVANZATE DEI CALCOLATORI A.A. 2007/08
Appello del 27/11/2007

Cognome _____ **Nome** _____

Matricola _____

Domanda 1 (5 punti)

Descrivere le caratteristiche e le problematiche di un processore superscalare, soffermandosi in particolare sulla decodifica delle istruzioni.

Domanda 2 (4 punti)

Descrivere lo scopo del branch target buffer ed il suo utilizzo; spiegare inoltre se tale meccanismo può essere applicato nel processore MIPS.

Domanda 3 (3 punti)

Aumentare la dimensione del blocco della cache oppure aumentare l'associatività può portare vantaggi rispetto alla diminuzione del miss rate. Tuttavia, ci sono degli svantaggi nell'aumentarli troppo. Spiegare perché.

Esercizio 1 (5 punti)

Si consideri la sequenza di istruzioni

```
lw $t1, 0($t0)
bne $t1, $zero, L1
```

Si individuino la criticità sui dati presente. Si descriva se e come tale criticità viene risolta dal processore MIPS considerato a lezione con pipeline ottimizzata, il cui schema è allegato. Se la criticità viene risolta, si mostri come sono utilizzate dal processore MIPS le condizioni per il rilevamento e la gestione delle criticità esaminate a lezione. Se la criticità non viene risolta, si determinino le opportune condizioni per il suo rilevamento e la sua gestione e si mostri l'eventuale hardware da aggiungere.

Esercizio 2 (6 punti)

Si consideri un sistema di memoria virtuale con paginazione, con una tabella delle pagine per ciascun processo di dimensione pari a 12 MB, indirizzo fisico di 31 bit, pagine da 1 KB ed indirizzamento al byte. Ogni elemento della tabella delle pagine contiene anche 3 bit aggiuntivi (validità, modifica e riferimento).

- Determinare la dimensione dell'indirizzo virtuale.
- Determinare la dimensione dello spazio di indirizzamento virtuale e dello spazio di indirizzamento fisico.
- Il sistema di memoria virtuale ha un TLB set-associativo a 4 vie con un totale di 256 elementi; si determini la dimensione complessiva del TLB.
- La gerarchia di memoria ha una cache set-associativa a 2 vie, composta da 8K elementi da 16 B ciascuno ed indirizzata fisicamente. Mostrare la suddivisione in campi dell'indirizzo fisico usato per accedere la cache. Fornire inoltre un esempio di 2 indirizzi fisici, relativi a 2 blocchi diversi, che vengono mappati sullo stesso insieme della cache, scrivendo gli indirizzi in formato esadecimale.

N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO

Esercizio 3 (9 punti)

Sia dato il seguente ciclo di un programma in assembler MIPS. Si assuma che i registri \$t5 e \$t6 siano stati opportunamente inizializzati. I simboli BASEA, BASEB, BASEC e K sono costanti a 16 bit, prefissate. La frequenza di clock del processore vale 1,6 GHz.

```
Loop: beq $t5, $t6, Exit
      lw $t2, BASEA($t5)
      addi $t2, $t2, K
      sw $t2, BASEA($t5)
      lw $t3, BASEB($t5)
      lw $t4, BASEC($t5)
      add $t3, $t3, $t3
      sub $t3, $t3, $t2
      sw $t3, BASEB($t5)
      addi $t4, $t4, -K
      sw $t4, BASEC($t5)
      addi $t5, $t5, 4
      j Loop
```

Exit:

Si supponga che il ciclo venga iterato N volte (con N grande a piacere) tramite una pipeline MIPS a 5 stadi. Si consideri l'istruzione j come un'istruzione di branch (beq o bne) la cui condizione viene sempre valutata vera. Si consideri una generica iterazione del ciclo.

- a) Si supponga che la pipeline sia priva di ottimizzazioni.
- Nel diagramma a ciclo multiplo della pipeline individuare le criticità sui dati di tipo RAW e le criticità sul controllo ed indicare il tipo di criticità.
 - Indicare il numero di stalli necessari a risolvere le criticità individuate.
 - Calcolare il numero totale di stalli inseriti, il CPI asintotico ed il throughput asintotico espresso in MIPS.
- b) Si supponga che nella pipeline siano state introdotte le seguenti ottimizzazioni:
- nel banco dei registri è possibile la lettura e la scrittura nello stesso ciclo di clock;
 - forwarding dei dati;
 - anticipazione del salto nello stadio ID per le istruzioni beq, bne e j.
- Nel diagramma a ciclo multiplo della pipeline individuare le criticità sui dati di tipo RAW e le criticità sul controllo rimaste ed indicare il tipo di criticità; indicare i percorsi di forwarding utilizzati, specificando i registri di pipeline coinvolti.
 - Indicare il numero di stalli necessari a risolvere le criticità rimaste.
 - Calcolare il numero totale di stalli inseriti, il CPI asintotico ed il throughput asintotico espresso in MIPS.
- c) Si consideri la seguente variante del ciclo:

```
Loop: lw $t2, BASEA($t5)
      addi $t2, $t2, K
      sw $t2, BASEA($t5)
      lw $t3, BASEB($t5)
      lw $t4, BASEC($t5)
      add $t3, $t3, $t3
      sub $t3, $t3, $t2
      sw $t3, BASEB($t5)
      addi $t4, $t4, -K
      sw $t4, BASEC($t5)
      addi $t5, $t5, 4
      bne $t5, $t6, Loop
```

Exit:

Schedulare in modo efficiente questo ciclo sul processore MIPS con pipeline statica two-issue e calcolare il valore del CPI ottenuto, confrontandolo con quello sulla pipeline ottimizzata del processore MIPS scalare.