

**ARCHITETTURE AVANZATE DEI CALCOLATORI A.A. 2007/08**  
**Seconda prova in itinere del 27/11/2007**  
**Compito B**

**Cognome** \_\_\_\_\_ **Nome** \_\_\_\_\_

**Matricola** \_\_\_\_\_

**Domanda 1 (6 punti)**

Classificare le tipologie di miss in una gerarchia di memoria e descrivere l'influenza delle eventuali modifiche della gerarchia di memoria sulle diverse tipologie di miss identificate.

**Domanda 2 (6 punti)**

Descrivere l'architettura e le caratteristiche di un multiprocessore a memoria condivisa e definire il problema della coerenza della cache.

**Esercizio 1 (7 punti)**

Si consideri una memoria cache set-associativa a 4 vie con 16K blocchi, ciascuno dei quali di dimensione pari a 128 B, indirizzi di memoria a 36 bit ed indirizzamento al byte.

- a) Indicare la struttura dell'indirizzo, specificando la dimensione dei vari campi in bit.
- b) Indicare la struttura di un insieme della cache, specificando la dimensione dei vari campi, e calcolare l'overhead complessivo per la gestione della cache.
- c) Se nella cache si caricano blocchi in modo casuale, quale è la probabilità che, dato un indirizzo di memoria, si abbia riscontro nel campo tag?
- d) Come varia la struttura dell'indirizzo se l'organizzazione della cache è set-associativa a 16 vie?

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*

**Esercizio 2 (7 punti)**

Si consideri un sistema di memoria virtuale con paginazione, con una tabella delle pagine per ciascun processo di dimensione pari a 6 MB, indirizzo virtuale di 32 bit, pagine da 2 KB ed indirizzamento al byte. Ogni elemento della tabella delle pagine contiene anche 4 bit aggiuntivi (validità, modifica, uso e riferimento).

- a) Determinare la dimensione dell'indirizzo fisico.
- b) Determinare la dimensione dello spazio di indirizzamento virtuale e dello spazio di indirizzamento fisico.
- c) Il sistema di memoria virtuale ha un TLB set-associativo a 8 vie con un totale di 1024 elementi; si determini la dimensione complessiva del TLB.
- d) Si disegni lo schema hardware per la traduzione da indirizzo virtuale ad indirizzo fisico nel sistema di memoria virtuale considerato, mostrando l'organizzazione del TLB e la struttura degli indirizzi.

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*

**Esercizio 3 (6 punti)**

Si consideri il seguente frammento di codice in linguaggio C:

```
int v[1000];
register int i, j, n;
for (j=0; j<1000; j++)
    for (i=0; i<512; i=i+n)
        v[i] = v[i] + 11;
```

Si assuma che le variabili  $i$ ,  $j$  e  $n$  siano contenute in registri, mentre l'array  $v$  sia contenuto in memoria. Si consideri una cache dati ad indirizzamento diretto contenente 512 B di dati, con blocchi di dimensione pari a 32 B, e che opera in modalità write-back. La cache è inizialmente vuota.

- a) Supponendo  $n=263$ , determinare il tasso di cache hit ed il numero di write-back che avvengono durante l'esecuzione del frammento.
- b) Supponendo  $n=264$ , rispondere al quesito precedente.
- c) (*facoltativo*) I risultati ottenuti risolvendo i punti a) e b) cambierebbero se, a parità di dimensione, l'organizzazione della cache fosse set-associativa a 2 vie? Perché?

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*