

**ARCHITETTURE AVANZATE DEI CALCOLATORI - Seconda prova in itinere del 28/11/2005**  
**Compito tipo A**

1. Con riferimento alla gerarchia di memorie, indicare quali tra le seguenti affermazioni sono corrette.
  - A) La politica di rimpiazzamento LRU si applica solo a cache set-associative e completamente associative.
  - B) Un cache hit in scrittura richiede comunque l'accesso in memoria.
  - C) A parità di dimensioni, l'hit time è minore in una cache a mappatura diretta rispetto ad una cache set-associativa ad N vie.
  - D) Se la differenza di dimensione tra cache di primo e di secondo livello è piccola, il miss rate globale è basso.
  - E) La tecnica della fusione sul write buffer permette di ridurre il miss rate.
  - F) L'ottimizzazione del compilatore detta blocking ha l'obiettivo di migliorare la località temporale.
  
2. Con riferimento alla memoria virtuale, indicare quali tra le seguenti affermazioni sono corrette.
  - A) Se il numero di pagina fisica occupa 22 bit e la dimensione della pagina è di 16 KB, allora l'indirizzo fisico è di 32 bit (indirizzamento al byte).
  - B) Le pagine virtuali hanno la stessa dimensione delle pagine fisiche.
  - C) La tabella inversa delle pagine ha tanti elementi quante sono le pagine virtuali.
  - D) E' possibile che si verifichi un miss nel TLB, un hit nella tabella delle pagine ed un hit in cache.
  - E) Un miss nel TLB può essere gestito solo dal software.
  - F) Per la memoria virtuale si possono usare entrambe le strategie di scrittura write-through e write-back.
  
3. Con riferimento ai dischi ed ai dispositivi di I/O, indicare quali tra le seguenti affermazioni sono corrette.
  - A) Nei dischi RAID di livello 1 i bit di uno stesso byte sono suddivisi su più dischi.
  - B) Con il memory mapped I/O per leggere le porte di I/O si usano le stesse istruzioni che fanno riferimento alla memoria.
  - C) Con la gestione dell'I/O tramite interrupt il processore è responsabile della scrittura dei dati in memoria durante le operazioni di output.
  - D) Nei dischi RAID di livello 3 la rotazione dei dischi deve essere sincronizzata.
  - E) Se un disco magnetico ruota a 15000 RPM, ha un tempo medio di posizionamento di 3,6 ms, transfer rate di 60 MB/s, overhead del controller di 1 ms, il tempo medio necessario a leggere o scrivere un settore di 512 B è circa 5,6 ms.
  - F) La gestione dell'I/O tramite interrupt è la soluzione da preferirsi quando è richiesta una velocità di trasferimento molto elevata.
  
4. Con riferimento ai bus ed alle architetture parallele, indicare quali tra le seguenti affermazioni sono corrette.
  - A) Un sistema NUMA è un multiprocessore a memoria condivisa.
  - B) Nell'arbitraggio di un bus asincrono non è possibile introdurre meccanismi di priorità.
  - C) Il bus ad alte prestazioni PCI Express è di tipo parallelo.
  - D) Nei cluster la comunicazione tra i processori avviene tramite variabili condivise.
  - E) Nei protocolli di directory la responsabilità di mantenere la coerenza della cache è distribuita tra i controllori di cache.
  - F) Nell'arbitraggio daisy chain, la priorità di un dispositivo nell'uso del bus dipende dalla sua posizione rispetto all'arbitro.

5. Si consideri un sistema di memoria virtuale con indirizzi virtuali da 36 bit, indirizzi fisici da 32 bit (indirizzamento al byte) e pagine da 16 KB. Ogni elemento della tabella delle pagine contiene anche 4 bit (validità, modifica, riferimento più 1 bit riservato per il sistema operativo).
- Si disegni lo schema della traduzione degli indirizzi, indicando la dimensione dei campi degli indirizzi fisici e virtuali.
  - Calcolare la dimensione in byte della tabella delle pagine di ciascun processo.
  - Se il sistema di memoria virtuale ha un TLB set-associativo a 4 vie con un totale di 128 elementi, si disegni una riga del TLB, specificando il significato dei campi che la compongono e la sua dimensione complessiva.

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*

6. Si consideri una memoria cache set-associativa a 2 vie di 256 KB (solo parte dati) con blocchi da 32 byte ciascuno e indirizzi di memoria a 24 bit (indirizzamento al byte).
- Indicare la struttura dell'indirizzo, specificando la dimensione dei vari campi in bit.
  - Indicare la struttura di un insieme della cache, specificando la dimensione dei vari campi e la dimensione totale dell'insieme.
  - Calcolare in quale insieme della cache entra il byte di indirizzo esadecimale B3X3BF e descrivere i passi necessari ad individuare se tale byte è presente in cache (X indica la cifra meno significativa non nulla del proprio numero di matricola).
  - Considerando l'intero spazio di indirizzamento, calcolare quanti blocchi di memoria collidono sullo stesso insieme di cache.

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*

7. Si consideri un sistema con le seguenti caratteristiche:
- Una memoria ed un bus di sistema che supportano accessi a blocchi di 4, 8 e 16 parole (parole da 32 bit).
  - Un bus sincrono a 64 bit e clock a 100 MHz, in cui il trasferimento di 64 bit richiede un ciclo di clock e l'invio di un indirizzo di memoria richiede 1 ciclo di clock. Sono necessari due cicli di clock tra un'operazione sul bus e la successiva.
  - Un tempo di accesso in memoria di 400 ns per leggere le prime quattro parole e di 40 ns per ciascun gruppo di ulteriori quattro parole.

Calcolare la banda del bus ed il numero di transazioni sul bus al secondo se si leggono 1024 parole con trasferimenti che utilizzano blocchi di 8 parole.

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*

<b>Esercizio</b>	<b>Punteggio massimo</b>
Teoria (da es. 1 a es. 4)	14
Esercizio 5	7
Esercizio 6	7
Esercizio 7	4
<b>Totale</b>	<b>32</b>