

**ARCHITETTURE AVANZATE DEI CALCOLATORI - Seconda prova in itinere del 28/11/2005**  
**Compito tipo B**

1. Con riferimento ai dischi ed ai dispositivi di I/O, indicare quali tra le seguenti affermazioni sono corrette.
  - A) Se si usano istruzioni dedicate per l'I/O, gli indirizzi di memoria sono distinti dagli indirizzi di I/O.
  - B) Nei dischi RAID di livello 0 non c'è ridondanza dei dati.
  - C) Con la gestione dell'I/O tramite DMA il processore è responsabile del prelievo dei dati dalla memoria durante le operazioni di input.
  - D) Se un disco magnetico ruota a 4200 RPM, ha un tempo medio di seek di 15 ms, transfer rate di 20 MB/s, overhead del controller di 4 ms, il tempo medio necessario a leggere o scrivere un settore di 512 B è circa 26,16 ms.
  - E) Nei dischi RAID di livello 4 e 5 si usa uno striping dei dati a livello di blocco.
  - F) Un interrupt di I/O è un evento sincrono rispetto all'esecuzione di un'istruzione.
  
2. Con riferimento alla memoria virtuale, indicare quali tra le seguenti affermazioni sono corrette.
  - A) Un miss nel TLB può essere gestito dall'hardware.
  - B) Per ridurre la quantità di memoria occupata dalla tabella delle pagine, si può paginare anche la tabella stessa.
  - C) La tabella delle pagine di ciascun processo ha tanti elementi quante sono le pagine fisiche.
  - D) E' possibile che si verifichi un miss nel TLB, un miss nella tabella delle pagine ed un hit in cache.
  - E) Per la memoria virtuale si usa solo la strategia di scrittura write-through.
  - F) Se il numero di pagina virtuale occupa 27 bit e la dimensione della pagina è di 8 KB, allora l'indirizzo virtuale è di 40 bit (indirizzamento al byte).
  
3. Con riferimento ai bus ed alle architetture parallele, indicare quali tra le seguenti affermazioni sono corrette.
  - A) Nelle architetture SMP la comunicazione tra i processori avviene tramite variabili condivise.
  - B) I bus di I/O Firewire ed USB sono entrambi seriali.
  - C) In un sistema UMA le memorie sono private dei singoli processori.
  - D) Il vantaggio dei bus asincroni è che la loro velocità si adatta a quella dei dispositivi.
  - E) Il protocollo MESI è una soluzione basata sull'hardware per gestire la coerenza della cache.
  - F) Nello schema di arbitraggio daisy chain l'arbitro conosce di volta in volta quanti dispositivi richiedono l'uso del bus.
  
4. Con riferimento alla gerarchia di memorie, indicare quali tra le seguenti affermazioni sono corrette.
  - A) Se la strategia di scrittura write-through usa un buffer di scrittura si elimina il tempo di latenza dovuto alla scrittura in memoria ed il processore può procedere oltre.
  - B) La presenza di una victim cache consente di ridurre il miss penalty causato dai miss di tipo compulsory.
  - C) La politica di rimpiazzamento LRU si applica ad una cache a mappatura diretta.
  - D) L'ottimizzazione del compilatore detta loop interchange ha l'obiettivo di migliorare la località temporale.
  - E) Il miss rate globale per una cache di secondo livello è il numero di miss nella cache diviso il numero totale degli accessi generati dal processore.
  - F) A parità di dimensioni, le cache a mappatura diretta hanno un hit rate minore delle cache set-associative ad N vie.

5. Si consideri un sistema di memoria virtuale con indirizzi virtuali da 36 bit, indirizzi fisici da 32 bit (indirizzamento al byte) e pagine da 8 KB. Ogni elemento della tabella delle pagine contiene anche 6 bit (validità, modifica, riferimento più 3 bit riservati per il sistema operativo).
- Si disegni lo schema della traduzione degli indirizzi, indicando la dimensione dei campi degli indirizzi fisici e virtuali.
  - Calcolare quanti byte occupa la tabella delle pagine di ciascun processo.
  - Se il sistema di memoria virtuale ha un TLB set-associativo a 2 vie con un totale di 64 elementi, si disegni una riga del TLB, specificando il significato e la dimensione dei campi che la compongono.

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*

6. Si consideri una memoria cache set-associativa a 4 vie composta da 4K insiemi con blocchi da 16 byte ciascuno e indirizzi di memoria a 32 bit (indirizzamento al byte).
- Indicare la struttura dell'indirizzo, specificando la dimensione dei vari campi in bit.
  - Indicare la struttura di un insieme della cache, specificando la dimensione dei vari campi e la dimensione totale dell'insieme.
  - Calcolare quanti byte occorrono complessivamente per realizzare la cache.
  - Verificare se i due byte di indirizzo esadecimale X2X5397X e 3F5537BC collidono sullo stesso insieme di cache o no ed indicare i passi necessari alla ricerca del byte avente come indirizzo esadecimale 345X380F (X indica la cifra meno significativa non nulla del proprio numero di matricola).

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*

7. Si consideri un sistema con le seguenti caratteristiche:
- Una memoria ed un bus di sistema che supportano accessi a blocchi da 4 a 32 parole (parole da 32 bit).
  - Un bus sincrono a 64 bit e clock a 200 MHz, in cui il trasferimento di 64 bit richiede un ciclo di clock e l'invio di un indirizzo di memoria richiede 1 ciclo di clock. Sono necessari due cicli di clock tra un'operazione sul bus e la successiva.
  - Un tempo di accesso in memoria di 150 ns per leggere le prime quattro parole e di 30 ns per ciascun gruppo di ulteriori quattro parole.

Calcolare la banda del bus e la latenza per la lettura di 512 parole per trasferimenti che utilizzano blocchi di 32 parole.

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*

<b>Esercizio</b>	<b>Punteggio massimo</b>
Teoria (da es. 1 a es. 4)	14
Esercizio 5	7
Esercizio 6	7
Esercizio 7	4
<b>Totale</b>	<b>32</b>