

Domanda 1

Descrivere le caratteristiche fondamentali di un processore multiple-issue statico e dire quali sono le principali differenze rispetto ad un processore multiple-issue dinamico.

Domanda 2

Spiegare quando è necessario avere una politica di sostituzione di un blocco in base alle differenti organizzazioni di cache e descrivere le principali politiche per la sostituzione di un blocco in cache.

Quale sono le differenze tra politiche di sostituzione di un blocco in cache e politiche di sostituzione di una pagina in memoria?

Domanda 3

Definire la banda passante di un bus e descrivere le tecniche per aumentare la banda passante.

Esercizio 1

Si consideri una memoria cache dati con organizzazione set-associativa a 2 vie e dimensione pari a 32 KB (sola parte dati), blocchi di dimensioni pari a 8 parole (parola da 32 bit), indirizzi di memoria a 32 bit ed indirizzamento al byte.

- a) Indicare la struttura dell'indirizzo, specificando la dimensione dei vari campi in bit.
- b) Indicare la struttura di un insieme della cache, specificando la dimensione dei vari campi, e calcolare l'overhead di memorizzazione necessario per realizzare la cache.
- c) Si consideri il seguente codice C:

```
void daxpy(int n, double y[4096], double a, double x[4096])
{
    int i;
    for (i=0; i<4096; i++) {
        y[i] = y[i] + a*x[i];
    }
}
```

Considerando la sola attività sulla cache generata dall'accesso agli elementi dei vettori e sapendo che una variabile double richiede 2 parole per la sua memorizzazione, quale è il miss rate che si verifica?

- d) A monte della cache vi è un sistema di memoria virtuale basato su pagine da 8 KB. Il TLB corrispondente è a 4 vie ed è costituito da 128 insiemi. Ogni elemento del TLB è grande 42 bit ed include 4 bit aggiuntivi (validità, riferimento, modifica ed 1 bit riservato per il sistema operativo). Calcolare la dimensione in byte della tabella delle pagine di ciascun processo.

Esercizio 2

Si consideri il processore MIPS con pipeline mostrato in Figura 1 e la seguente sequenza di codice.

```

addi $1, $0, 256
add $1, $1, $1
lw $2, 128($1)
sub $3, $2, $1
add $3, $3, $2
    
```

Si indichi il valore assunto dai segnali di controllo ForwardA, ForwardB, ID/EX.RegDst, PCWrite e IF/ID.Write per i cicli di clock (CC) da 3 a 10. Si motivino opportunamente le risposte fornite.

Si assuma che il PC sia inizializzato alla prima istruzione della sequenza e che i cicli di clock 1 e 2 siano già stati eseguiti.

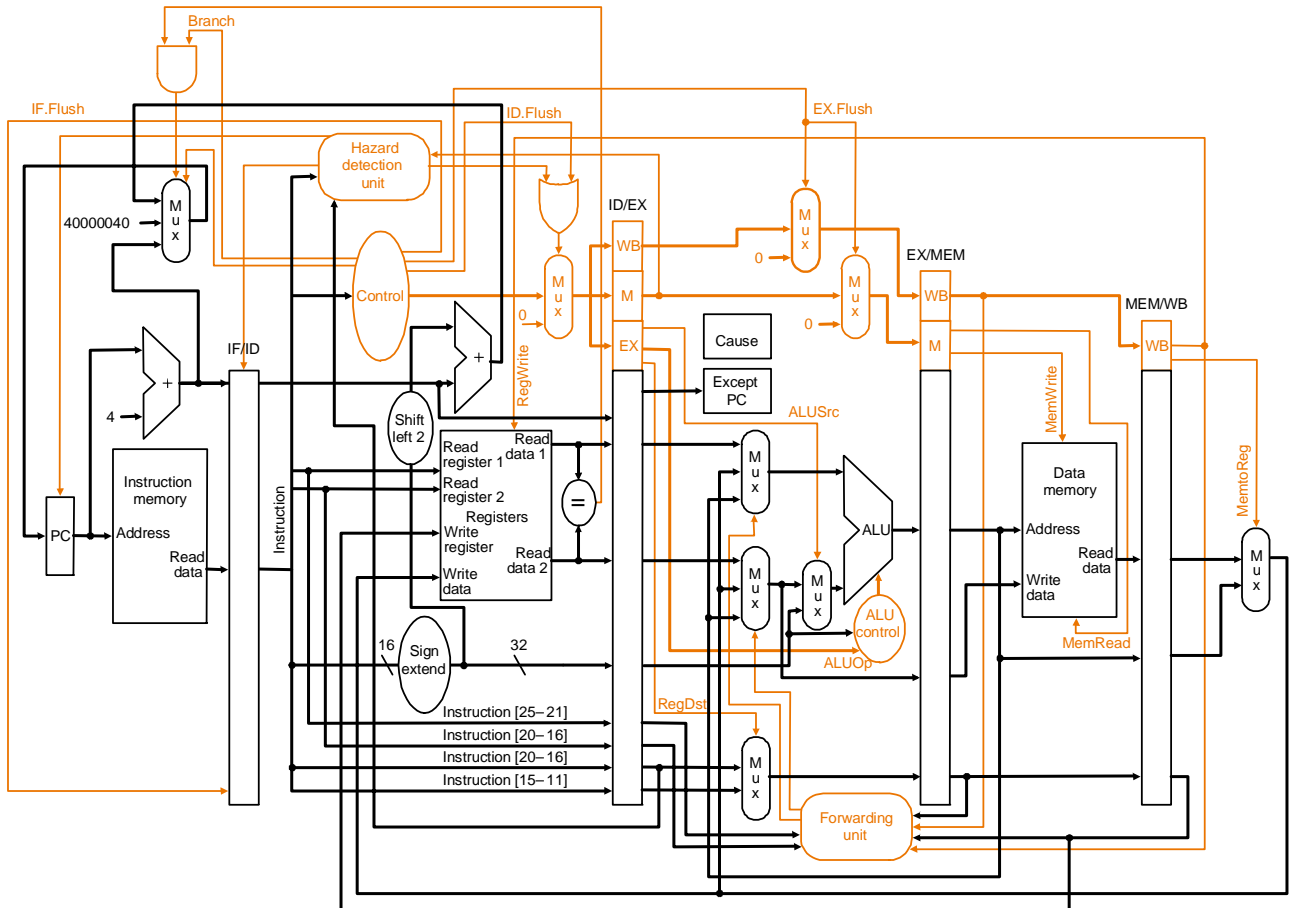


Figura 1 Unità di elaborazione e controllo del processore MIPS con pipeline

Esercizio 3

Sia dato il seguente ciclo di un programma in assembler MIPS. Si assumo che il registro $\$t1$ sia stato inizializzato al valore $4*N$. I simboli BASEA e BASEB sono costanti a 16 bit, prefissate. Il ciclo di clock del processore vale 2 ns.

```
Loop: lw $t2, BASEA($t1)
      sw $t2, BASEB($t1)
      add $t2, $t2, $t2
      add $t2, $t2, $t2
      sw $t2, BASEA($t1)
      addi $t1, $t1, -4
      lw $t3, BASEA($t1)
      sw $t3, BASEB($t1)
      add $t3, $t3, $t3
      add $t3, $t3, $t3
      sw $t3, BASEA($t1)
      addi $t1, $t1, -4
      bnez $t1, Loop
```

Si supponga che il ciclo venga iterato $N/2$ volte (con N grande a piacere) tramite una pipeline MIPS a 5 stadi. Si consideri una generica iterazione del ciclo.

- a) Si supponga che la pipeline sia priva di ottimizzazioni.
 - Disegnare il diagramma a ciclo multiplo della pipeline ed individuare le criticità sui dati e sul controllo.
 - Inserire gli stalli necessari a risolvere le criticità individuate.
 - Calcolare il numero totale di stalli inseriti, il CPI asintotico ed il throughput espresso in MIPS.
- b) Si supponga che nella pipeline siano state introdotte le seguenti ottimizzazioni:
 - nel banco dei registri è possibile la lettura e la scrittura nello stesso ciclo di clock;
 - forwarding dei dati;
 - anticipazione del salto nello stadio ID.
 - Disegnare il diagramma a ciclo multiplo della pipeline ed individuare le criticità sui dati e sul controllo rimaste; indicare i percorsi di forwarding utilizzati, specificando i registri di pipeline coinvolti.
 - Inserire gli stalli necessari a risolvere le criticità rimaste.
 - Calcolare il numero totale di stalli inseriti, il CPI asintotico ed il throughput espresso in MIPS.
- c) Schedulare in modo efficiente il ciclo sul processore MIPS con pipeline statica two-issue.
 - Calcolare il valore del CPI ottenuto e confrontarlo con quello ideale.