

# ARCHITETTURE AVANZATE DEI CALCOLATORI - Appello del 30/11/2005

## Compito A1

1. Con riferimento alla gerarchia di memorie, indicare quali tra le seguenti affermazioni sono corrette.
  - A) In una cache a mappatura diretta il numero di collisioni su una stessa riga di cache aumenta all'aumentare delle dimensioni del tag.
  - B) In una cache multi-livello, l'obiettivo principale della cache di primo livello è la riduzione del miss rate e quello della cache di secondo livello è la riduzione dell'hit time.
  - C) In una cache set-associativa a 2 vie con 16K insiemi e blocchi da 64 bit, installata in un'architettura con indirizzi di memoria a 32 bit ed indirizzamento al byte, un insieme della cache ha dimensione pari a 144 bit.
  - D) In una cache indirizzata fisicamente è possibile l'aliasing.
  - E) In una cache con strategia di scrittura write-back in caso di miss in scrittura si tende generalmente a scrivere il blocco direttamente in memoria senza caricarlo in cache.
  - F) La tecnica detta early restart si applica generalmente a cache che contengono solo istruzioni.
  - G) In una cache a mappatura diretta con 16K slot e blocchi da 32 byte, installata in un'architettura con indirizzi di memoria a 32 bit ed indirizzamento al byte, su uno slot collidono 4K blocchi di memoria principale.
  
2. Con riferimento ai bus ed ai dispositivi di I/O, indicare quali tra le seguenti affermazioni sono corrette.
  - A) Per trasferire un blocco di 64 byte in un bus sincrono con 32 linee di dati occorrono 2 cicli di clock.
  - B) L'accesso del DMA controller alla memoria presenta solitamente una priorità più alta rispetto all'accesso del processore alla memoria.
  - C) Con la tecnica del memory-mapped I/O si riduce lo spazio di indirizzamento effettivamente disponibile per la memoria.
  - D) In un bus sincrono un ciclo di lettura ha una durata che è sempre un multiplo intero del ciclo di clock.
  - E) Data un'unità disco RAID di 12 GB (spazio utilizzabile di memoria fisica) e con blocchi (strip) di 256 KB, in un RAID di livello 0 con 4 dischi in tutto, ogni disco ha 6K strip.
  - F) In un bus è necessario avere linee dati separate per inviare dati da master a slave e viceversa.
  - G) Nei dischi RAID di livello 5 migliorano le prestazioni di una small write rispetto al RAID di livello 3.
  
3. Con riferimento al pipelining nel processore MIPS, indicare quali tra le seguenti affermazioni sono corrette.
  - A) In condizioni ideali (assenza di stalli e stadi della pipeline perfettamente bilanciati), se la frequenza del clock è pari a 2 GHz, il tempo di esecuzione di un'istruzione è di 0,5 ns.
  - B) Si consideri la pipeline ottimizzata; data la sequenza di istruzioni  
    lw \$2, 0(\$5)  
    sw \$2, 0(\$6)  
la criticità sui dati presente è risolvibile con un solo forwarding.
  - C) Si consideri la pipeline ottimizzata; data la sequenza di istruzioni  
    add \$3, \$4, \$6  
    sub \$5, \$2, \$3  
    lw \$6, 20(\$5)  
    add \$8, \$7, \$2  
per risolvere le criticità sui dati presenti sono necessari complessivamente tre forwarding e due stalli.
  - D) Il segnale di controllo ForwardA non permette di scegliere come dato da inviare in ingresso alla ALU un valore proveniente dal registro di pipeline MEM/WB.
  - E) Nella pipeline senza ottimizzazioni la decisione sull'esito del branch è nota nello stadio MEM.
  - F) Nella pipeline two-issue occorre duplicare il numero di porte di lettura e di scrittura del banco dei registri.
  - G) Le istruzioni di load e store considerate a lezione sono attive in tutti gli stadi della pipeline.
  
4. Con riferimento alle tecniche per aumentare il parallelismo a livello di istruzione, indicare quali tra le seguenti affermazioni sono corrette.
  - A) Nel Pentium 4 le microoperazioni vengono ritirate fuori ordine.
  - B) L'indirizzamento della tabella di predizione dei salti avviene usando l'indirizzo completo dell'istruzione di salto.
  - C) La predizione nella branch history table ad 1 bit viene aggiornata dopo ogni esecuzione di un'istruzione di salto.
  - D) La tecnica di ridenominazione dei registri non permette di risolvere una criticità sui dati di tipo RAW.
  - E) Con un processore superscalare si può ottenere un CPI minore di 1.
  - F) La tecnica del loop unrolling può essere applicata dal compilatore solo se il numero di iterazioni è noto a tempo di compilazione.
  - G) Un processore che adotta la tecnica di ridenominazione dei registri consente ai programmi in assembler di usare un maggior numero di registri di quelli forniti dall'architettura.

5. Con riferimento alla memoria virtuale ed alle architetture parallele, indicare quali tra le seguenti affermazioni sono corrette.
- A) Nei multiprocessori la comunicazione avviene solo tramite scambio di messaggi.
  - B) Il mantenimento della coerenza della cache garantisce che ogni processore in un qualche istante vedrà l'ultimo aggiornamento della locazione di memoria.
  - C) A parità del numero di nodi  $N$  e di banda dei singoli collegamenti, per  $N > 2$  la banda di bisezione di una topologia di interconnessione completa è maggiore di quella di una topologia ad anello.
  - D) Nella tassonomia estesa di Flynn, le architetture NUMA appartengono alla famiglia delle architetture multicomputer.
  - E) La tabella delle pagine non è una cache perché c'è una entry per ciascuna pagina virtuale.
  - F) Per gestire la sostituzione nel TLB non conviene adottare una politica di rimpiazzamento sofisticata.
  - G) Se la cache è indirizzata virtualmente, il TLB è acceduto solo in caso di cache miss.

6. Si consideri una memoria cache set-associativa a 2 vie composta da 8K insiemi con blocchi da 32 byte ciascuno e indirizzi di memoria a 24 bit (indirizzamento al byte).
- a) Indicare la struttura dell'indirizzo, specificando la dimensione dei vari campi in bit.
  - b) Indicare la struttura di un insieme della cache, specificando la dimensione dei vari campi e la dimensione totale dell'insieme.
  - c) Descrivere i passi necessari alla ricerca in cache del byte di indirizzo esadecimale CXAXE5 (X indica la cifra meno significativa non nulla del proprio numero di matricola).
  - d) A monte della cache vi è un sistema di memoria virtuale basato su pagine da 4 KB. Il TLB corrispondente è a 4 vie ed è costituito da 64 insiemi. Ogni entry del TLB è grande 32 bit ed include 2 bit aggiuntivi (validità e modifica). Calcolare la dimensione in bit dell'indirizzo virtuale.

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*

7. Sia dato il seguente ciclo di un programma in assembler MIPS. Si supponga che i registri \$5 e \$7 siano stati inizializzati rispettivamente ai valori 0 e 4N. I simboli BASEA, BASEB, BASEC sono costanti a 16 bit, prefissate.

```

Loop: lw $3, BASEA($5)
      lw $4, BASEB($5)
      sw $4, BASEC($5)
      add $4, $3, $4
      addi $4, $4, 4
      sw $4, BASEB($5)
      addi $5, $5, 4
      bne $5, $7, Loop

```

Si supponga che il ciclo venga iterato  $N$  volte (con  $N$  grande a piacere) tramite una pipeline MIPS a 5 stadi. Si consideri una generica iterazione del ciclo.

- a) Si supponga che la pipeline sia priva di ottimizzazioni.
  - Disegnare il diagramma a ciclo multiplo della pipeline ed individuare le criticità sui dati di tipo RAW e le criticità sul controllo.
  - Inserire gli stalli necessari a risolvere le criticità individuate.
  - Calcolare il numero totale di stalli inseriti ed il CPI asintotico ottenuto.
- b) Si supponga che nella pipeline siano state introdotte le seguenti ottimizzazioni:
  - nel banco dei registri è possibile la lettura e la scrittura nello stesso ciclo di clock;
  - forwarding dei dati (se necessario, è possibile introdurre ulteriori percorsi di forwarding non considerati a lezione, motivandoli opportunamente);
  - anticipazione del salto nello stadio ID.
  - Disegnare il diagramma a ciclo multiplo della pipeline ed individuare le criticità sui dati di tipo RAW e le criticità sul controllo rimaste; indicare i percorsi di forwarding utilizzati.
  - Inserire gli stalli necessari a risolvere le criticità rimaste.
  - Calcolare il numero totale di stalli inseriti ed il CPI asintotico ottenuto.
- c) Effettuare il loop unrolling (srotolando il ciclo per 2 volte ed assumendo che  $N$  sia una potenza di 2) e riordinare il codice (eventualmente ridenominando i registri) con l'obiettivo di minimizzare il CPI sulla pipeline ottimizzata del processore MIPS scalare. Calcolare il valore del CPI ottenuto dopo il loop unrolling e prima del riordinamento ed il valore del CPI ottenuto dopo il loop unrolling ed il riordinamento.
- d) Si discuta se conviene srotolare il loop per 4 volte anziché per 2 volte allo scopo di migliorare ulteriormente le prestazioni sulla pipeline ottimizzata del processore MIPS scalare.

*N.B. MOTIVARE LE RISPOSTE ILLUSTRANDO IL PROCEDIMENTO*