

ARCHITETTURE AVANZATE DEI CALCOLATORI - Prima prova in itinere del 5/11/2005
Soluzione Compito tipo A

1. Con riferimento alle gerarchie di memoria ed alle cache a mappatura diretta, indicare quali tra le seguenti affermazioni sono corrette.
 - A) @SI Gli accessi a locazioni contigue di memoria sono resi molto efficienti dalla presenza di una cache.
 - B) @SI La lunghezza del campo indice di una cache a mappatura diretta dipende dalla dimensione della cache.
 - C) @NO In una cache a mappatura diretta non si hanno conflict miss.
 - D) @SI Dato un calcolatore con frequenza di clock pari a 1 GHz, caratterizzato da miss rate=0.05, hit time=1 ciclo di clock e miss penalty=20 cicli di clock, il tempo medio di accesso alla memoria è pari a 2 ns.
 - E) @NO Per aumentare la dimensione della cache di un calcolatore è necessario aumentare la dimensione della sua memoria principale.
 - F) @NO In una cache a mappatura diretta con 16K righe e blocchi da 64 bit, installata in un'architettura con indirizzi di memoria a 32 bit, il campo tag ha dimensione pari a 14 bit.

2. Con riferimento alla pipeline a 5 stadi del processore MIPS, indicare quali tra le seguenti affermazioni sono corrette.
 - A) @SI In condizioni ideali (assenza di stalli), il throughput migliora di 5 volte rispetto al processore senza pipeline.
 - B) @SI L'introduzione della pipeline può far aumentare la latenza della singola istruzione.
 - C) @NO Le condizioni per riconoscere le criticità sui dati nel processore MIPS con pipeline considerate a lezione permettono di identificare e risolvere tramite forwarding la seguente criticità:

```
lw $2, 0($5)
sw $2, 0($4)
```
 - D) @NO Nel registro di pipeline MEM/WB non viene scritto nessun segnale di controllo generato dall'unità di controllo.
 - E) @NO Per la gestione di un'eccezione basta asserire tutti i segnali di Flush: così si svuota la pipeline dalle istruzioni caricate dopo quella che ha generato l'istruzione e si preserva il valore dei registri coinvolti nell'istruzione che ha generato l'istruzione.
 - F) @SI Senza anticipazione della decisione sul salto al secondo stadio, l'indirizzo di salto è noto nel terzo stadio, ma il suo valore viene usato nel quarto stadio in caso di branch taken per aggiornare il PC.

3. Con riferimento alle tecniche per aumentare il grado di parallelismo delle istruzioni, indicare quali tra le seguenti affermazioni sono corrette.
 - A) @NO Se in un processore le istruzioni vengono eseguite out-of-order, non possono essere ritirate in-order.
 - B) @SI Nell'algoritmo di Tomasulo le dipendenze di tipo WAR e WAW sono eliminate con la tecnica di ridenominazione dei registri.
 - C) @SI In una esecuzione out-of-order è comunque possibile che sia necessario inserire degli stalli.
 - D) @SI In una esecuzione speculativa vengono avviate istruzioni che non saranno mai ritirate.
 - E) @NO Non è possibile decodificare più istruzioni nello stesso ciclo di clock.
 - F) @NO I processori VLIW hanno un'architettura hardware più complessa rispetto ai processori multiple-issue dinamici.

4. Con riferimento alle criticità sui dati e sul controllo, indicare quali tra le seguenti affermazioni sono corrette.
 - A) @SI Si consideri la pipeline ottimizzata del processore MIPS. Data la sequenza di istruzioni

```
lw $2, 0($5)
add $2, $2, $2
add $2, $2, $2
```

le due criticità sui dati presenti (di tipo load/use e define/use) sono risolvibili con forwarding ed inserendo uno stallo tra la prima e la seconda istruzione.
 - B) @NO Si consideri la pipeline senza ottimizzazioni del processore MIPS. Data la sequenza di istruzioni

```
addi $5, $5, -1
bnez $5, Loop
addi $6, $6, 4
```

essa determina una criticità sui dati tra la prima e la seconda istruzione ed una criticità sul controllo tra la seconda e la terza istruzione (o quella di destinazione del branch), per risolvere le quali è necessario inserire in totale quattro stalli.
 - C) @SI L'indirizzamento della tabella di predizione dei salti avviene prelevando alcuni bit dall'indirizzo dell'istruzione di salto.
 - D) @NO La branch history table ad 1 bit ha un'accuratezza elevata nel caso di cicli brevi.
 - E) @SI Considerando che un branch durante l'esecuzione di un programma ha il comportamento NTTNT ed avendo a disposizione una BHT a 2 bit inizializzata a 10 (weakly predict taken), l'accuratezza della predizione è pari al 40%.

- F) @SI L'istruzione posta dal compilatore nel delay slot viene eseguita indipendentemente dall'esito del branch.

Soluzione Esercizio 5

a)

Scheduling su processore MIPS con pipeline statica two-issue

Istruzione ALU o branch	Istruzione load o store	Ciclo di clock
nop	Loop: lw \$t1, 0(\$s0)	1
addi \$s0, \$s0, 4	lw \$t2, 0(\$s1)	2
addi \$t0, \$t0, 1	nop	3
add \$t3, \$t1, \$t2	nop	4
bne \$t0, \$s2, Loop	sw \$t3, -4(\$s0)	5
addi \$s1, \$s1, 4	nop	6

$$CPI_{\text{two-issue}} = 6/8 = 0,75$$

$$CPI_{\text{ideale two-issue}} = 4/8 = 0,5$$

b)

Loop unrolling

```

Loop: lw $t1, 0($s0)
      lw $t2, 0($s1)
      add $t3, $t1, $t2
      sw $t3, 0($s0)
      lw $t1, 4($s0)
      lw $t2, 4($s1)
      add $t3, $t1, $t2
      sw $t3, 4($s0)
      addi $s0, $s0, 8
      addi $s1, $s1, 8
      addi $t0, $t0, 2
      bne $t0, $s2, Loop

```

Ridenominazione

```

Loop: lw $t1, 0($s0)
      lw $t2, 0($s1)
      add $t3, $t1, $t2
      sw $t3, 0($s0)
      lw $t4, 4($s0)
      lw $t5, 4($s1)
      add $t6, $t4, $t5
      sw $t6, 4($s0)
      addi $s0, $s0, 8
      addi $s1, $s1, 8
      addi $t0, $t0, 2
      bne $t0, $s2, Loop

```

Riordinamento

```

Loop: lw $t1, 0($s0)
      lw $t2, 0($s1)
      lw $t4, 4($s0)
      add $t3, $t1, $t2
      lw $t5, 4($s1)
      sw $t3, 0($s0)
      add $t6, $t4, $t5
      sw $t6, 4($s0)
      addi $t0, $t0, 2
      addi $s0, $s0, 8
      bne $t0, $s2, Loop
      addi $s1, $s1, 8

```

$$CPI_{\text{iniziale}} = (8+3)/8 = 11/8 = 1,375 \text{ (3 stalli: uno tra lw e add, uno tra addi e bne, uno dopo bne)}$$

$$CPI_{\text{finale}} = 12/12 = 1$$

Soluzione Esercizio 6

a)

Si individuano le criticità sui dati (in rosso) e sul controllo (in blu) presenti nel codice

Istruzione	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13
Loop: lw \$2, BASEA(\$4)	IF	ID	EX	MEM	WB								
sw \$2, BASEB(\$4)		IF	ID	EX	MEM	WB							
lw \$3, BASEC(\$4)			IF	ID	EX	MEM	WB						
add \$3, \$2, \$3				IF	ID	EX	MEM	WB					
addi \$3, \$3, 4					IF	ID	EX	MEM	WB				
sw \$3, BASED(\$4)						IF	ID	EX	MEM	WB			
addi \$4, \$4, 4							IF	ID	EX	MEM	WB		
bne \$4, \$7, Loop								IF	ID	EX	MEM	WB	
									IF	ID	EX	MEM	WB

Si indicano nella seconda colonna il numero di stalli da inserire prima di ciascuna istruzione in modo da risolvere le criticità presenti e nella terza colonna il tipo di criticità.

Istruzione	Numero stalli	Tipo di criticità
Loop: lw \$2, BASEA(\$4)		
sw \$2, BASEB(\$4)	3	D (define/use)
lw \$3, BASEC(\$4)		
add \$3, \$2, \$3	3	D (load/use)
addi \$3, \$3, 4	3	D (define/use)
sw \$3, BASED(\$4)	3	D (define/use)
addi \$4, \$4, 4		
bne \$4, \$7, Loop	3	D (define/use)
	3	C

$$CPI_{\text{asintotico}} = (8 + 18)/8 = 26/8 = 3,25$$

b)

Si individuano le criticità sui dati (in rosso) e sul controllo (in blu) che non possono essere risolte solo mediante forwarding e si indicano (in verde) i percorsi di forwarding usati e (in arancione) la lettura/scrittura del banco dei registri.

Istruzione	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13
Loop: lw \$2, BASEA(\$4)	IF	ID	EX	MEM	WB								
sw \$2, BASEB(\$4)		IF	ID	EX	MEM	WB							
lw \$3, BASEC(\$4)			IF	ID	EX	MEM	WB						
add \$3, \$2, \$3				bolla	IF	ID	EX	MEM	WB				
addi \$3, \$3, 4						IF	ID	EX	MEM	WB			
sw \$3, BASED(\$4)							IF	ID	EX	MEM	WB		
addi \$4, \$4, 4								IF	ID	EX	MEM	WB	
bne \$4, \$7, Loop									bolla	IF	ID	EX	MEM
										bolla	IF	IF	ID

Si indicano nella seconda colonna il numero di stalli da inserire prima di ciascuna istruzione in modo da risolvere le criticità presenti, nella terza colonna il tipo di criticità e nella quarta colonna il percorso di forwarding usato.

Istruzione	Numero stalli	Tipo di criticità	Percorso di forwarding
Loop: lw \$2, BASEA(\$4)			
sw \$2, BASEB(\$4)		D	MEM-EX/MEM (oppure MEM/WB-MEM)
lw \$3, BASEC(\$4)			
add \$3, \$2, \$3	1	D	MEM/WB-EX
addi \$3, \$3, 4		D	EX/MEM-EX
sw \$3, BASED(\$4)		D	EX/MEM-EX
addi \$4, \$4, 4			
bne \$4, \$7, Loop	1	D	EX/MEM-ID
	1	C	

$$CPI_{\text{asintotico}} = (8 + 3)/8 = 11/8 = 1,375$$