

**ARCHITETTURE AVANZATE DEI CALCOLATORI - Prima prova in itinere del 5/11/2005**  
**Soluzione Compito tipo B**

1. Con riferimento alla pipeline a 5 stadi del processore MIPS, indicare quali tra le seguenti affermazioni sono corrette.
  - A) @NO L'introduzione della pipeline fa diminuire drasticamente il tempo di esecuzione di un'istruzione.
  - B) @SI L'anticipazione della decisione sul salto al secondo stadio determina lo spostamento dell'addizionatore dallo stadio EX allo stadio ID.
  - C) @SI L'inserimento di uno stallo avviene non aggiornando il valore del PC, mantenendo il contenuto del registro di pipeline IF/ID e mettendo a 0 i valori dei segnali di controllo RegWrite e MemWrite nel registro di pipeline ID/EX.
  - D) @NO Le condizioni per riconoscere le criticità sui dati nel processore MIPS con pipeline considerate a lezione permettono di identificare e risolvere tramite forwarding la seguente criticità:

```
addi $2, $2, 1
bne $2, $4, Loop
```
  - E) @SI In condizioni ideali (assenza di stalli), se la frequenza del clock è pari ad 1 GHz, si completa a regime un'istruzione ogni 1 ns.
  - F) @SI Nel registro di pipeline IF/ID non viene scritto nessun segnale di controllo generato dall'unità di controllo.
  
2. Con riferimento alle criticità sui dati e sul controllo, indicare quali tra le seguenti affermazioni sono corrette.
  - A) @SI Considerando che un branch durante l'esecuzione di un programma ha il comportamento TNNTN ed avendo a disposizione una BHT a 2 bit inizializzata a 10 (weakly predict taken), l'accuratezza della predizione è pari al 20%.
  - B) @SI Si consideri la pipeline senza ottimizzazioni del processore MIPS. Data la sequenza di istruzioni

```
addi $2, $2, 4
bne $2, $4, Loop
addi $4, $4, 4
```

per risolvere le due criticità (di dati e di controllo) presenti è necessario inserire in totale sei stalli.
  - C) @NO Una predizione dinamica di salto non viene migliorata in accuratezza aumentando il numero di bit di predizione.
  - D) @NO Se possibile, conviene selezionare come istruzione da porre nel delay slot l'istruzione di destinazione del branch.
  - E) @NO Si consideri la pipeline ottimizzata del processore MIPS. Data la sequenza di istruzioni

```
lw $3, 0($2)
add $3, $3, $3
addi $3, $3, 100
```

le due criticità sui dati presenti (di tipo load/use e define/use) sono risolvibili inserendo uno stallo tra la prima e la seconda istruzione e uno stallo tra la seconda e la terza istruzione.
  - F) @SI In una branch history table ad 1 bit un errore di predizione può essere causato dal fatto che il bit di predizione è stato scritto da un'altra istruzione di branch che indicizza la stessa riga della tabella.
  
3. Con riferimento alle gerarchie di memoria ed alle cache a mappatura diretta, indicare quali tra le seguenti affermazioni sono corrette.
  - A) @NO In una cache a mappatura diretta si hanno solo compulsory miss.
  - B) @SI La lunghezza del campo tag di una cache a mappatura diretta dipende dalla dimensione della cache.
  - C) @NO In una cache a mappatura diretta con 32K righe e blocchi da 64 bit, installata in un'architettura con indirizzi di memoria a 32 bit, gli 11 bit più significativi dell'indirizzo di memoria vengono usati per indirizzare una riga di cache.
  - D) @SI In una cache a mappatura diretta il contenuto di un blocco di memoria principale con un dato indirizzo può essere caricato in una sola riga della cache.
  - E) @NO I dati vengono caricati a blocchi dalla memoria in cache per sfruttare il principio di località temporale dell'accesso ai dati in memoria.
  - F) @SI Dato un calcolatore con frequenza di clock pari a 1 GHz, caratterizzato da hit rate=0.9, hit time=1 ciclo di clock e miss penalty=30 cicli di clock, il tempo medio di accesso alla memoria è pari a 4 ns.
  
4. Con riferimento alle tecniche per aumentare il grado di parallelismo delle istruzioni, indicare quali tra le seguenti affermazioni sono corrette.
  - A) @SI Con lo scoreboard le dipendenze di tipo WAR e WAW sono risolte mediante l'inserimento di stalli.
  - B) @SI Nell'esecuzione speculativa vengono avviate istruzioni prima ancora di sapere se andranno effettivamente eseguite.
  - C) @NO I processori più recenti tendono ad usare un modello di consistenza forte sia per la memoria sia per il processore.
  - D) @SI Se esiste un vincolo di tipo WAR tra un'istruzione I e l'istruzione seguente J, è possibile eseguire J prima di I ma senza ritirla.

- E) @SI Nei processori VLIW è il compilatore ad identificare istruzioni mutuamente indipendenti che possono essere eseguite in parallelo dall'hardware.
- F) @NO Non è possibile introdurre più pipeline in un processore.

### Soluzione Esercizio 5

a) Scheduling su processore MIPS con pipeline statica two-issue

Istruzione ALU o branch	Istruzione load o store	Ciclo di clock
addi \$s0, \$s0, -4	Loop: lw \$t1, 0(\$s0)	1
addi \$s1, \$s1, -4	lw \$t2, 0(\$s1)	2
addi \$t0, \$t0, -1	nop	3
sub \$t3, \$t1, \$t2	nop	4
bnez \$t0, Loop	sw \$t3, 0(\$s2)	5
addi \$s2, \$s2, -4	nop	6

$$CPI_{\text{two-issue}} = 6/9 = 0,667$$

$$CPI_{\text{ideale two-issue}} = 0,5$$

b)

Loop unrolling

```

Loop: lw $t1, 0($s0)
      lw $t2, 0($s1)
      sub $t3, $t1, $t2
      sw $t3, 0($s2)
      lw $t1, -4($s0)
      lw $t2, -4($s1)
      sub $t3, $t1, $t2
      sw $t3, -4($s2)
      addi $s0, $s0, -8
      addi $s1, $s1, -8
      addi $s2, $s2, -8
      addi $t0, $t0, -2
      bnez $t0, Loop

```

Ridenominazione

```

Loop: lw $t1, 0($s0)
      lw $t2, 0($s1)
      sub $t3, $t1, $t2
      sw $t3, 0($s2)
      lw $t4, -4($s0)
      lw $t5, -4($s1)
      sub $t6, $t4, $t5
      sw $t6, -4($s2)
      addi $s0, $s0, -8
      addi $s1, $s1, -8
      addi $s2, $s2, -8
      addi $t0, $t0, -2
      bnez $t0, Loop

```

Riordinamento

```

Loop: lw $t1, 0($s0)
      lw $t2, 0($s1)
      lw $t4, -4($s0)
      sub $t3, $t1, $t2
      lw $t5, -4($s1)
      sw $t3, 0($s2)
      sub $t6, $t4, $t5
      sw $t6, -4($s2)
      addi $t0, $t0, -2
      addi $s0, $s0, -8
      addi $s1, $s1, -8
      bnez $t0, Loop
      addi $s2, $s2, -8

```

$$CPI_{\text{iniziale}} = (9+3)/9 = 12/9 = 1,333 \text{ (3 stalli: uno tra lw e sub, uno tra addi e bnez, uno dopo bnez)}$$

$$CPI_{\text{finale}} = 13/13 = 1$$

### Soluzione Esercizio 6

a)

Si individuano le criticità sui dati (in rosso) e sul controllo (in blu) presenti nel codice.

Istruzione	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13
Loop: lw \$2, BASEA(\$6)	IF	ID	EX	MEM	WB								
lw \$3, BASEB(\$6)		IF	ID	EX	MEM	WB							
addi \$2, \$2, INC1			IF	ID	EX	MEM	WB						
addi \$3, \$3, INC2				IF	ID	EX	MEM	WB					
add \$4, \$2, \$3					IF	ID	EX	MEM	WB				
sw \$2, BASEA(\$6)						IF	ID	EX	MEM	WB			
sw \$3, BASEB(\$6)							IF	ID	EX	MEM	WB		
sw \$4, BASEC(\$6)								IF	ID	EX	MEM	WB	
addi \$6, \$6, 4									IF	ID	EX	MEM	WB
bne \$6, \$7, Loop										IF	ID	EX	MEM
										IF	ID	EX	

Si indicano nella seconda colonna il numero di stalli da inserire prima di ciascuna istruzione in modo da risolvere le criticità presenti e nella terza colonna il tipo di criticità.

Istruzione	Numero stalli	Tipo di criticità
Loop: lw \$2, BASEA(\$6)		
lw \$3, BASEB(\$6)		
addi \$2, \$2, INC1	2	D (load/use)
addi \$3, \$3, INC2		D (load/use)
add \$4, \$2, \$3	3	D (define/use)
sw \$2, BASEA(\$6)		
sw \$3, BASEB(\$6)		D (define/use)
sw \$4, BASEC(\$6)	1	D (define/use)
addi \$6, \$6, 4		
bne \$6, \$7, Loop	3	D (define/use)
	3	C

$$CPI_{\text{asintotico}} = (10 + 12)/10 = 22/10 = 2,2$$

b)

Si individuano le criticità sui dati (in rosso) e sul controllo (in blu) che non possono essere risolte solo mediante forwarding e si indicano (in verde) i percorsi di forwarding usati e (in arancione) la lettura/scrittura del banco dei registri.

Istruzione	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15
Loop: lw \$2, BASEA(\$6)	IF	ID	EX	MEM	WB										
lw \$3, BASEB(\$6)		IF	ID	EX	MEM	WB									
addi \$2, \$2, INC1			IF	ID	EX	MEM	WB								
addi \$3, \$3, INC2				IF	ID	EX	MEM	WB							
add \$4, \$2, \$3					IF	ID	EX	MEM	WB						
sw \$2, BASEA(\$6)						IF	ID	EX	MEM	WB					
sw \$3, BASEB(\$6)							IF	ID	EX	MEM	WB				
sw \$4, BASEC(\$6)								IF	ID	EX	MEM	WB			
addi \$6, \$6, 4									IF	ID	EX	MEM	WB		
bne \$6, \$7, Loop										bolla	IF	ID	EX	MEM	
												bolla	IF	ID	EX

Si indicano nella seconda colonna il numero di stalli da inserire prima di ciascuna istruzione in modo da risolvere le criticità presenti, nella terza colonna il tipo di criticità e nella quarta colonna il percorso di forwarding usato.

Istruzione	Numero stalli	Tipo di criticità	Percorso di forwarding
Loop: lw \$2, BASEA(\$6)			
lw \$3, BASEB(\$6)			
addi \$2, \$2, INC1		D	MEM/WB-EX
addi \$3, \$3, INC2		D	MEM/WB-EX
add \$4, \$2, \$3		D	EX/MEM-EX
sw \$2, BASEA(\$6)			
sw \$3, BASEB(\$6)			
sw \$4, BASEC(\$6)			
addi \$6, \$6, 4			
bne \$6, \$7, Loop	1	D	EX/MEM-ID
	1	C	

$$CPI_{\text{asintotico}} = (10 + 2)/10 = 12/10 = 1,2$$