

ARCHITETTURE AVANZATE DEI CALCOLATORI - Seconda prova in itinere del 28/11/2005
Compito tipo A

1. Con riferimento alla gerarchia di memorie, indicare quali tra le seguenti affermazioni sono corrette.
 - A) **@SI** La politica di rimpiazzamento LRU si applica solo a cache set-associative e completamente associative.
 - B) **@NO** Un cache hit in scrittura richiede comunque l'accesso in memoria.
 - C) **@SI** A parità di dimensioni, l'hit time è minore in una cache a mappatura diretta rispetto ad una cache set-associativa ad N vie.
 - D) **@NO** Se la differenza di dimensione tra cache di primo e di secondo livello è piccola, il miss rate globale è basso.
 - E) **@NO** La tecnica della fusione sul write buffer permette di ridurre il miss rate.
 - F) **@SI** L'ottimizzazione del compilatore detta blocking ha l'obiettivo di migliorare la località temporale.

2. Con riferimento alla memoria virtuale, indicare quali tra le seguenti affermazioni sono corrette.
 - A) **@NO** Se il numero di pagina fisica occupa 22 bit e la dimensione della pagina è di 16 KB, allora l'indirizzo fisico è di 32 bit (indirizzamento al byte).
 - B) **@SI** Le pagine virtuali hanno la stessa dimensione delle pagine fisiche.
 - C) **@NO** La tabella inversa delle pagine ha tanti elementi quante sono le pagine virtuali.
 - D) **@SI** E' possibile che si verifichi un miss nel TLB, un hit nella tabella delle pagine ed un hit in cache.
 - E) **@NO** Un miss nel TLB può essere gestito solo dal software.
 - F) **@NO** Per la memoria virtuale si possono usare entrambe le strategie di scrittura write-through e write-back.

3. Con riferimento ai dischi ed ai dispositivi di I/O, indicare quali tra le seguenti affermazioni sono corrette.
 - A) **@NO** Nei dischi RAID di livello 1 i bit di uno stesso byte sono suddivisi su più dischi.
 - B) **@SI** Con il memory mapped I/O per leggere le porte di I/O si usano le stesse istruzioni che fanno riferimento alla memoria.
 - C) **@NO** Con la gestione dell'I/O tramite interrupt il processore è responsabile della scrittura dei dati in memoria durante le operazioni di output.
 - D) **@SI** Nei dischi RAID di livello 3 la rotazione dei dischi deve essere sincronizzata.
 - E) **@NO** Se un disco magnetico ruota a 15000 RPM, ha un tempo medio di posizionamento di 3,6 ms, transfer rate di 60 MB/s, overhead del controller di 1 ms, il tempo medio necessario a leggere o scrivere un settore di 512 B è circa 5,6 ms.
 - F) **@NO** La gestione dell'I/O tramite interrupt è la soluzione da preferirsi quando è richiesta una velocità di trasferimento molto elevata.

4. Con riferimento ai bus ed alle architetture parallele, indicare quali tra le seguenti affermazioni sono corrette.
 - A) **@SI** Un sistema NUMA è un multiprocessore a memoria condivisa.
 - B) **@NO** Nell'arbitraggio di un bus asincrono non è possibile introdurre meccanismi di priorità.
 - C) **@NO** Il bus ad alte prestazioni PCI Express è di tipo parallelo.
 - D) **@NO** Nei cluster la comunicazione tra i processori avviene tramite variabili condivise.
 - E) **@NO** Nei protocolli di directory la responsabilità di mantenere la coerenza della cache è distribuita tra i controllori di cache.
 - F) **@SI** Nell'arbitraggio daisy chain, la priorità di un dispositivo nell'uso del bus dipende dalla sua posizione rispetto all'arbitro.

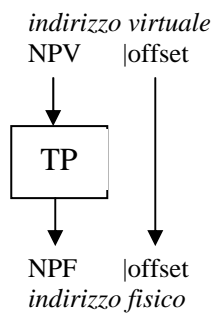
Soluzione esercizio 5

a)

$$16 \text{ KB} = 2^{14} \text{ B} \rightarrow \text{offset} = 14$$

$$\text{dimensione NPF} = \text{indirizzo fisico} - \text{offset} = (32 - 14) \text{ bit} = 18 \text{ bit}$$

$$\text{dimensione NPV} = \text{indirizzo virtuale} - \text{offset} = (36 - 14) \text{ bit} = 22 \text{ bit}$$



b)

$$\text{dimensione entry TP} = \text{bit di gestione} + \text{dimensione NPF} = (4 + 18) \text{ bit} = 22 \text{ bit} \rightarrow 32 \text{ bit} = 4 \text{ B}$$

$$\# \text{ entry TP} = 2^{\text{dimensione NPV}} = 2^{22} = 4 \text{ M}$$

$$\text{dimensione TP} = \text{dimensione entry TP} * \# \text{ entry TP} = 4 \text{ B} \cdot 4 \text{ M} = 16 \text{ MB}$$

c)

Ciascun elemento del TLB è composto da:

bit di gestione	tag	NPF
4 bit		18 bit

$$\text{dimensione tag} = \text{dimensione NPV} - \log_2(\# \text{ insiemi del TLB})$$

$$\# \text{ insiemi del TLB} = \# \text{ elementi del TLB} / \text{grado di associatività} = 128 / 4 = 32 = 2^5$$

$$\text{da cui: dimensione tag} = (22 - 5) \text{ bit} = 17 \text{ bit}$$

Ciascun elemento del TLB ha dimensione pari a $(4+17+18) \text{ bit} = 39 \text{ bit}$

Ciascun insieme (riga) del TLB contiene 4 elementi; ha quindi una dimensione pari a $4 \cdot 39 \text{ bit} = 156 \text{ bit}$

Soluzione esercizio 6

a)

$$2^r = 32 = 2^5 \rightarrow r = 5$$

$$2^s = 256\text{KB}/(2 \cdot 32\text{B}) = 4\text{K} = 2^{12} \rightarrow s = 12$$

$$n - r - s = 24 - 5 - 12 = 7$$

La struttura dell'indirizzo è:

tag	indice	offset
7 bit	12 bit	5 bit

b)

La struttura di un insieme è:

V	tag	blocco	V	tag	blocco
1 bit	7 bit	32·8 bit			

$$\text{dimensione insieme} = 2 \cdot (1 + 7 + 32 \cdot 8) = 2 \cdot 8 + 64 \cdot 8 \text{ bit} = 528 \text{ bit} = 66 \text{ B}$$

c)

$$\text{byte di indirizzo } (B3X3BF)_{16} = (1011\ 0011\ X\ 0011\ 1011\ 1111)_2$$

$$\#\text{insieme} = (1X0011101)_2$$

$$\#\text{tag} = (1011001)_2 = (89)_{10}$$

$$\#\text{byte} = (11111)_2 = (31)_{10} \text{ (l'ultimo byte del blocco)}$$

Da risolvere per X pari alla cifra meno significativa non nulla del proprio numero di matricola

Passi per la ricerca del byte di indirizzo $(B3X3BF)_{16}$ in cache

1. Si accede all'insieme della cache di indice $(1X0011101)_2$
2. Si confronta il tag $(1011001)_2$ con i tag dei due elementi presenti nell'insieme selezionato
3. In caso di confronto positivo, si verifica il bit di validità
4. Se l'elemento trovato è valido, si ha un cache hit e si può selezionare il byte $(11111)_2$

d)

Su uno stesso insieme possono essere indirizzati $2^7 = 128$ blocchi di memoria

Soluzione esercizio 7

Ciclo di clock = $1/(100 \text{ MHz}) = 10 \text{ ns}$

Blocchi di 8 parole = $256 \text{ bit} = 32 \text{ B}$

$400 \text{ ns}/10 \text{ ns} = 40$ cicli di clock per accedere alle prime 4 parole

$40 \text{ ns}/10 \text{ ns} = 4$ cicli di clock per accedere alle successive 4 parole

Si analizza il trasferimento di un blocco di 8 parole

Per le prime 4 parole del blocco:

1 (indirizzo) + 40 (accesso in memoria) + $(4 \cdot 32 \text{ bit})/64 \text{ bit}$ (trasferimento su bus e in parallelo 2 cicli di accesso in memoria) + 2 (idle su bus e in parallelo 2 cicli di accesso in memoria) = 45 cicli

Per le seconde 4 parole del blocco:

$(4 \cdot 32 \text{ bit})/64 \text{ bit}$ (trasferimento su bus) + 2 (idle) = 4 cicli

Cicli di clock totali per trasferire un blocco di 8 parole = $45 + 4 = 49$ cicli

Banda bus = $32 \text{ B} / (49 \cdot 10 \text{ ns}) = 65,3 \text{ MB/sec}$

transazioni = $1024 \text{ parole} / 8 \text{ parole} = 128$

latenza per 1024 parole = # transazioni · cicli totali per transazione · durata ciclo =
= $128 \cdot 49 \cdot 10 = 62720 \text{ ns} = 62,72 \cdot 10^{-6} \text{ s}$

transazioni al secondo = # transazioni / latenza per 1024 parole = $128 / (62,72 \cdot 10^{-6} \text{ s}) = 2,04 \cdot 10^6$