

CALCOLATORI ELETTRONICI A.A. 2019/2020
Esercizi sulle gerarchie di memoria

1. Si consideri una memoria cache ad indirizzamento diretto composta da 8K slot in un sistema con indirizzi di memoria a 24 bit, indirizzamento al byte e blocchi di memoria da 32 byte.
- Indicare la struttura dell'indirizzo, specificando la dimensione dei vari campi in bit.
 - Indicare la struttura di uno slot della cache, specificando la dimensione dei vari campi in bit.
 - Indicare in quale slot della cache viene caricato il byte di indirizzo 7C1099, specificando anche l'offset del byte nel blocco.
 - Indicare gli indirizzi di due byte, appartenenti a blocchi diversi, che condividono lo slot $(95)_{10}$.

Soluzione

a) La struttura dell'indirizzo di memoria è composta dei seguenti campi:

| TAG | INDICE | OFFSET |

ed indichiamo con:

- n: il numero di bit dell'indirizzo di memoria, quindi $n=24$;
- s: la dimensione in bit del campo indice;
- r: la dimensione in bit dell'offset;
- n-r-s: la dimensione in bit del campo tag.

Poiché la cache è ad indirizzamento diretto, s è pari a:

$$s = \log_2(8K) = \log_2(2^{13}) = 13 \text{ bit}$$

r è pari a:

$$r = \log_2(32) = 5 \text{ bit}$$

Quindi, n-r-s è pari a:

$$n - r - s = 24 - 13 - 5 = 6 \text{ bit}$$

b) Poiché la cache è ad indirizzamento diretto, la struttura dello slot è:

| V | TAG | BLOCCO DATI |

dove:

- V: è il bit di validità (1 bit);
- TAG: è l'etichetta (tag) che permette di identificare se l'indirizzo di memoria cercato è contenuto nello slot di cache identificato dal campo indice dell'indirizzo di memoria (6 bit);
- BLOCCO DATI: è il blocco di dati ($32 \text{ byte} = 2^8 \text{ bit}$).

Quindi la dimensione dello slot è pari a:

$$1 + 6 + 2^8 = 263 \text{ bit}$$

c) Per determinare in quale slot viene caricato il byte di indirizzo 7C1099, occorre identificare il campo indice nell'indirizzo di memoria:

$$(7C1099)_{16} = (0111 \ 1100 \ 0001 \ 0000 \ 1001 \ 1001)_2$$

ed applicando la struttura dell'indirizzo identificata al punto a):

$$011111 \ | \ 0000010000100 \ | \ 11001$$

Quindi l'indice è $(0000010000100)_2 = 2^7 + 2^2 = 132$, da cui il byte di indirizzo 7C1099 verrà caricato nello slot di indice 132.

d) Per indicare gli indirizzi di due byte, appartenenti a blocchi diversi, che condividono lo slot $(95)_{10}$, occorre determinare due indirizzi che condividono il campo indice, considerando la struttura dell'indirizzo identificata al punto a):

$$(95)_{10} = 2^6 + 2^5 - 1 = (0000001011111)_2$$

Quindi due byte, appartenenti a blocchi diversi, che condividono lo slot $(95)_{10}$ sono:

$$000000 \ | \ 0000001011111 \ | \ 00000$$

$$100011 \ | \ 0000001011111 \ | \ 00000$$

2. Si consideri una memoria cache a mappatura diretta composta da 64 blocchi, ciascuno di dimensione pari a 32 byte, in un sistema con indirizzi di memoria a 32 bit e indirizzamento al byte.
- Indicare la struttura dell'indirizzo, specificando la dimensione dei vari campi in bit.
 - Quanti byte di dati sono memorizzabili nella cache?
 - Quanti byte occupa complessivamente la cache?
 - Quanti blocchi possono essere mappati nello stesso blocco in cache?
 - Se si caricano in cache blocchi in modo casuale, quale è la probabilità che, dato un indirizzo di memoria, si abbia riscontro nel campo tag?

Soluzione

a) La struttura dell'indirizzo di memoria è composta dei seguenti campi:

| TAG | INDICE | OFFSET |

ed indichiamo con:

- n: il numero di bit dell'indirizzo di memoria, quindi $n=32$;
- s: la dimensione in bit del campo indice;
- r: la dimensione in bit dell'offset;
- n-r-s: la dimensione in bit del campo tag.

Poiché la cache è ad indirizzamento diretto, s è pari a:

$$s = \log_2(64) = \log_2(2^6) = 6 \text{ bit}$$

r è pari a:

$$r = \log_2(32) = 5 \text{ bit}$$

Quindi, n-r-s è pari a:

$$n - r - s = 32 - 5 - 5 = 22 \text{ bit}$$

b) Occorre determinare la dimensione della sola parte dati della cache; poiché la cache è ad indirizzamento diretto, contiene un solo slot per linea di cache. Quindi, essendo 64 gli slot in cache: dimensione dati = $64 \cdot 32 \text{ B} = 2^{11} \text{ B} = 2048 \text{ B}$

c) Per determinare quanti byte occupa complessivamente la cache, occorre aggiungere la parte di overhead dovuta alla memorizzazione in ogni slot del bit di validità e del tag, quindi:

$$\text{dimensione overhead} = 64 \cdot (1 + 22) \text{ b} = 1408 \text{ b}$$

$$\text{dimensione totale} = \text{dimensione dati} + \text{dimensione overhead} = (2048 \cdot 8 + 1408) \text{ b} = 17792 \text{ b} = 2244 \text{ B}$$

d) Per determinare il numero di blocchi di memoria che possono essere mappati nello stesso blocco in cache, occorre considerare la dimensione del campo tag e che la cache è ad indirizzamento diretto. Infatti, tutti gli indirizzi di memoria che hanno lo stesso campo indice vengono mappati nello stesso slot di cache e vengono distinti in base al campo tag. Quindi: 2^{22} blocchi di memoria vengono mappati nello stesso blocco in cache.

e) Il riscontro si verifica se il campo tag dell'indirizzo cercato coincide con il tag presente nello slot di cache. Quindi, assumendo che i blocchi vengono caricati in cache in modo casuale, la probabilità che si verifichi un riscontro è pari a $1/2^{22} = 4,8 \cdot 10^{-7}$. Si verificherà un cache hit se, oltre al riscontro, il blocco è valido (bit di validità pari a 1).

3. Si consideri una memoria cache set-associativa composta da 4K insiemi di 4 elementi ciascuno in un sistema con indirizzi di memoria a 24 bit, indirizzamento al byte e blocchi di memoria da 16 byte.
- Indicare la struttura dell'indirizzo, specificando la dimensione dei vari campi in bit.
 - Indicare la struttura di un insieme della cache, specificando la dimensione dei vari campi in bit.
 - Indicare i passi necessari per la ricerca nella cache del byte di indirizzo B3A3F2.
 - Indicare quanti slot dovrebbe avere una cache a mappatura diretta per avere la stessa capacità complessiva.

Soluzione

a) La struttura dell'indirizzo di memoria è composta dei seguenti campi:

| TAG | INDICE | OFFSET |

ed indichiamo con:

- n: il numero di bit dell'indirizzo di memoria, quindi $n=24$;
- s: la dimensione in bit del campo indice;
- r: la dimensione in bit dell'offset;
- n-r-s: la dimensione in bit del campo tag.

Poiché la cache è set-associativa a 4 vie, s è pari a:

$$s = \log_2(4K) = \log_2(2^{12}) = 12 \text{ bit}$$

r è pari a:

$$r = \log_2(16) = 4 \text{ bit}$$

Quindi, n-r-s è pari a:

$$n - r - s = 24 - 12 - 4 = 8 \text{ bit}$$

b) Poiché la cache è set-associativa a 4 vie, la struttura di un insieme è:

| V | TAG | BLOCCO DATI |

dove:

- V: è il bit di validità (1 bit);
- TAG: è l'etichetta (tag) che permette di identificare se l'indirizzo di memoria cercato è contenuto nell'insieme identificato dal campo indice dell'indirizzo di memoria (8 bit);
- BLOCCO DATI: è il blocco di dati (16 byte = 2^7 bit).

Quindi la dimensione dell'insieme è pari a:

$$4 \cdot (1 + 8 + 2^7) = 548 \text{ bit}$$

c) Per la ricerca nella cache del byte di indirizzo B3A3F2, occorre identificare il campo indice nell'indirizzo di memoria:

$$(B3A3F2)_{16} = (1011\ 0011\ 1010\ 0011\ 1111\ 0010)_2$$

ed applicando la struttura dell'indirizzo identificata al punto a):

10110011 | 101000111111 | 0010

Quindi l'indice è $(101000111111)_2 = 2^{11} + 2^9 + 2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 2^0 = 2623$, da cui il byte di indirizzo 7C1099 verrà cercato nell'insieme di indice 2623.

Poiché la cache è set-associativa a 4 vie, il tag dell'indirizzo 10110011 verrà confrontato in parallelo con i 4 tag presenti nell'insieme di indice 2623; nel caso di corrispondenza con uno dei 4 tag e se il blocco è valido (bit di validità è impostato ad 1) si avrà un cache hit, altrimenti un cache miss.

d) Una cache a mappatura diretta dovrebbe avere $4 \cdot 4K = 16K$ slot per avere la stessa capacità complessiva della cache set-associativa a 4 vie.

4. Si consideri una memoria cache set-associativa a 4 vie con 16K blocchi, ciascuno dei quali di dimensione pari a 128 B, indirizzi di memoria a 36 bit ed indirizzamento al byte.
- Indicare la struttura dell'indirizzo, specificando la dimensione dei vari campi in bit.
 - Indicare la struttura di un insieme della cache, specificando la dimensione dei vari campi, e calcolare l'overhead complessivo per la gestione della cache.
 - Se nella cache si caricano blocchi in modo casuale, quale è la probabilità che, dato un indirizzo di memoria, si abbia riscontro nel campo tag?
 - Come varia la struttura dell'indirizzo se l'organizzazione della cache è set-associativa a 16 vie?

Soluzione

a) La struttura dell'indirizzo di memoria è composta dei seguenti campi:

| TAG | INDICE | OFFSET |

ed indichiamo con:

- n: il numero di bit dell'indirizzo di memoria, quindi $n=36$;
- s: la dimensione in bit del campo indice;
- r: la dimensione in bit dell'offset;
- n-r-s: la dimensione in bit del campo tag.

Poiché la cache è set-associativa a 4 vie e vi sono in totale 16K blocchi (quindi 4 blocchi per insieme), s è pari a:

$$s = \log_2(16K/4) = \log_2(2^{12}) = 12 \text{ bit}$$

r è pari a:

$$r = \log_2(128) = \log_2(2^7) = 7 \text{ bit}$$

Quindi, n-r-s è pari a:

$$n - r - s = 36 - 12 - 7 = 17 \text{ bit}$$

b) Poiché la cache è set-associativa a 4 vie, la struttura di un insieme è:

| V | TAG | BLOCCO DATI |

dove:

- V: è il bit di validità (1 bit);
- TAG: è l'etichetta (tag) che permette di identificare se l'indirizzo di memoria cercato è contenuto nell'insieme identificato dal campo indice dell'indirizzo di memoria (17 bit);
- BLOCCO DATI: è il blocco di dati (128 byte).

L'overhead complessivo per la gestione della cache è pari a:

$$4K \cdot 4 \cdot (1 + 17) \text{ bit} = 36 \text{ KB}$$

c) Il riscontro del campo tag dell'indirizzo si verifica se esso coincide con uno dei 4 tag presenti nell'insieme di cache, essendo la cache set-associativa a 4 vie. Quindi, assumendo che i blocchi vengano caricati in cache in modo casuale, la probabilità che si verifichi un cache hit è pari a $4/2^{17} = 2^{-15} = 3 \cdot 10^{-5}$

d) Se l'organizzazione della cache è set-associativa a 16 vie anziché a 4 vie, il campo indice dell'indirizzo diminuisce di 2 bit mentre il campo tag dell'indirizzo aumenta di 2 bit, quindi la struttura dell'indirizzo diviene:

$$s = 10 \text{ bit}$$

$$r = 7 \text{ bit}$$

$$n - r - s = 19 \text{ bit}$$